

(19)世界知的所有権機関
国際事務局(43)国際公開日
2003年5月22日 (22.05.2003)

PCT

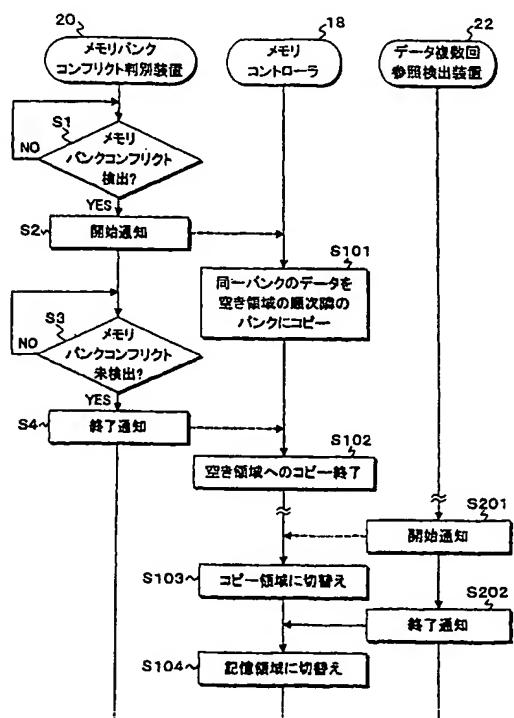
(10)国際公開番号
WO 03/042836 A1

- (51) 国際特許分類: G06F 12/06, 12/08, 9/45 (72) 発明者; および
 (75) 発明者/出願人(米国についてのみ): 小野寺聰 (ON-
 ODERA, Satoshi) [JP/JP]; 〒211-8588 神奈川県川崎市
 中原区上小田中4丁目1番1号 富士通株式会社内 Kanaga-
 gawa (JP).
- (21) 国際出願番号: PCT/JP01/10035 (22) 国際出願日: 2001年11月16日 (16.11.2001)
- (25) 国際出願の言語: 日本語 (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通
 株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神
 奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa
 (JP). (74) 代理人: 竹内 進 (TAKEUCHI, Susumu); 〒105-0003
 東京都港区西新橋3丁目25番47号 清水ビル8階 Tokyo
 (JP).
- (81) 指定国(国内): JP, US.
- 添付公開書類:
 — 國際調査報告書

[統葉有]

(54) Title: COMPUTER AND MEMORY CONTROL METHOD

(54) 発明の名称: コンピュータ及びメモリ制御方法



(57) Abstract: When a memory bank conflict where the same bank is accessed continuously is detected by a memory bank conflict decision unit, a memory controller sequentially accesses different banks in unused areas of a main memory and copies data that has caused the memory bank conflict. For second and subsequent accesses detected by a unit for detecting a plurality of times of references of data, the memory controller controls the operation to access copied areas thus avoiding memory bank conflict.

20...MEMORY BANK CONFLICT DECISION UNIT
 81...IS MEMORY BANK CONFLICT DETECTED ?
 82...BEGIN TO NOTIFY
 83...IS MEMORY BANK CONFLICT NOT DETECTED YET ?
 84...END TO NOTIFY
 18...MEMORY CONTROLLER
 5101...COPY DATA OF THE SAME BANK SEQUENTIALLY TO
 ADJACENT BANKS OF BLANK AREA

S102...END COPY TO BLANK AREA
 S103...SWITCH TO COPY AREA
 S104...SWITCH TO MEMORY AREA
 22...UNIT FOR DETECTING A PLURALITY OF TIMES
 OF REFERENCES OF DATA
 S201...BEGIN TO NOTIFY
 S202...END TO NOTIFY

[統葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

メモリコントローラは、メモリバンクコンフリクト判別装置により連続して同一バンクをアクセスするメモリバンクコンフリクトを検出した際に、メモリバンクコンフリクトを引き起こしたデータをメインメモリの使用していない領域の順次異なるバンクにアクセスしてコピーする。その後、データ複数回参照検出装置により検出された2回目以降のアクセスでは、メモリコントローラはコピーされた領域をアクセスするように制御してメモリバンクコンフリクトを回避する。

明細書

コンピュータ及びメモリ制御方法

5 技術分野

本発明は、複数のメモリバンクを用いたメモリのアクセスを制御するコンピュータ及びメモリ制御方法に関し、特に、連続して同一バンクにアクセスするメモリバンクコンフリクトを改善するコンピュータ及びメモリ制御方法に関する。

10 背景技術

通常、コンピュータに設けているロード／ストアユニットのスタートアップペナルティは、演算ユニットのそれよりも大きい。クロックサイクルあたり1語をフェッチする開始速度を維持するためには、メモリシステムは開始速度に見合つただけのデータを読み書きできなければならない。このため図1のように複数の
15 メモリバンクを使用したコンピュータがある。

図1において、コンピュータはプロセッサ100、キャッシュ102、メモリ104及びメモリコントローラ108を備える。メモリ104は、小容量の独立したメモリである複数のバンク106-1～106-nを備え、各バンクへのアクセスは他のバンクと並列に異なるアドレスへアクセスすることができる。この
20 バンクの数をnとすると、n並列(n-way)のメモリアクセスが行える。

しかしながら、このような複数バンク構成のメモリシステムにあっては、メモリアクセス時のストライド幅によっては、同一バンクに連続でアクセス要求を出す可能性が出てくる。

例えば図2のように、4つのメモリバンク106-1～106-4をもつメモリ104を考え、64バイトごとにバンクが切り替わるものと仮定する。メモリにストアするデータとして8バイトの配列を考える。この配列を32インデックスずつ飛ばしながらアクセスしようとすると、

$$(32\text{インデックス}) * (8\text{バイト}) = 256\text{バイト}$$

となり、256バイトのストライド(4バンク幅)でアクセスすることになる。

即ち、最初のアクセスがバンク 106-1 のアドレス〇のデータ配列 a [0] であったとすると、256 バイトのストライドでアクセスするため、その後連続してバンク 106-1 をデータ配列 a [64], a [128], a [192], a [256], a [320], a [384] のようにアクセスすることになり、

- 5 メモリバンクを複数用いたことによる優位性がなくなる。このように連続して同一バンクにアクセスすることによってメモリアクセス性能が劣化することをメモリバンクコンフリクトという。

メモリバンクコンフリクトに対しては、プログラムのソースコードを変更して、同一メモリバンクにアクセスしないようなチューニングを行うことで対応することは可能であるが、プログラマにかかる負担は非常に大きい。また、あるプログラムに特有なメモリバンクコンフリクトを回避する専用のアーキテクチャも考えられるが、この場合は動的にメモリバンクコンフリクトに対応することができず、汎用性に難がある。

15 本発明は、複数バンク構成のアクセスで起きるメモリバンクコンフリクトによる性能劣化を動的に回避するコンピュータ及びメモリ制御方法を提供することを目的とする。

発明の開示

本発明のコンピュータは、プロセッサがメモリ上のある領域のデータにアクセスする際に、連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こしていることを検出するメモリバンクコンフリクト判別装置と、メモリバンクコンフリクトを引き起こした領域に再びアクセスしたことを検出するデータ複数回参照検出装置と、メモリバンクコンフリクト判別装置によりメモリバンクコンフリクトを検出した際に、メモリバンクコンフリクトを引き起こしたデータをメモリの使用していない領域の順次異なるバンクにアクセスしてコピーし、データ複数回参照検出装置により検出された2回目以降のアクセスではコピー領域をアクセスするように制御するメモリコントローラとを備えたことを特徴とする。このためメモリバンクコンフリクトが起きても、同じ領域の2回目以降のアクセスではメモリバンクコンフリクトを回避できる。

本発明のコンピュータは、プロセッサがメモリ上のある領域のデータにアクセスする際に、連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こしていることを検出するメモリバンクコンフリクト判別装置と、メモリバンクコンフリクトを引き起こした領域に再びアクセスしたことを検出するデータ複数回参照検出装置と、メモリ内のデータ配置を変更して書き込むサブメモリと、メモリバンクコンフリクト判別装置によりメモリバンクコンフリクトを検出した際に、メモリバンクコンフリクトを引き起こしたデータをサブメモリの順次異なるバンクにアクセスしてコピーし、データ複数回参照検出装置により検出された2回目以降のアクセスではサブメモリにアクセスするように使用メモリを切り替えるメモリコントローラとを備えたことを特徴とする。このためメモリバンクコンフリクトが起きても、同じ領域の2回目以降のアクセスではバンク毎に順次コピーしているサブメモリにアクセスすることで、メモリバンクコンフリクトを回避できる。

サブメモリを使用する場合には、更に、メモリバンクコンフリクトを引き起こしたプログラムの実行を終了した際に、サブメモリの内容をメインメモリに書き戻すライトバック装置を設けたことを特徴とする。このため最初のプログラム実行でメモリバンクコンフリクトが起きてサブメモリの使用により回避され且つメインメモリにライトバックされると、それ以降の同じプログラムの実行でメモリバンクコンフリクトは起きることがない。

更に、ライトバック装置によりサブメモリの内容をメインメモリに書き戻す際に、バンク毎に順次に分散された同一アドレス位置のデータを特定のバンクに集約してキャッシュのヒット率が向上するように変換するデータ配置最適化装置を設ける。

本発明の別の形態となるコンピュータにあっては、メモリ上のある領域のデータにアクセスする際に、連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こすことを、コンパイラが付加したプログラム上の記号によって検出可能とするプロセッサと、プロセッサによりメモリバンクコンフリクトを検出した際に、メモリバンクコンフリクトを引き起こしたデータをメモリの使用していない領域の順次異なるバンクにアクセスしてコピーし、メモリバンクコンフ

リクトを起こした領域の2回目以降のアクセスではコピー領域をアクセスするように制御するメモリコントローラとを備える。

本発明の別形態となるコンピュータにあっては、メモリ上のある領域のデータにアクセスする際に、連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こすことを、コンパイラが付加したプログラム上の記号によって検出可能とするプロセッサと、メモリ内のデータ配置を変更して書き込むサブメモリと、プロセッサによりメモリバンクコンフリクトを検出した際に、メモリバンクコンフリクトを引き起こしたデータをサブメモリの順次異なるバンクにアクセスしてコピーし、メモリバンクコンフリクトを起こした領域の2回目以降のアクセスではサブメモリをアクセスするように使用メモリを切り替えるメモリコントローラとを備える。

このサブメモリを使用する場合は、更に、メモリバンクコンフリクトを引き起こしたプログラムの実行を終了した際に、サブメモリの内容をメインメモリに書き戻すライトバック装置を設ける。

更に、ライトバック装置によりサブメモリの内容をメインメモリに書き戻す際に、バンク毎に順次に分散された同一アドレス位置のデータを特定のバンクに集約してキャッシュのヒット率が向上するように変換するデータ配置最適化装置を設ける。

本発明はメモリ制御方法を提供する。このメモリ制御方法は、
メモリ上のある領域のデータへのアクセスにより連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こした場合に、メモリバンクコンフリクトを引き起こしたデータを前記メモリの使用していない領域の順次異なるバンクにアクセスしてコピーし、

メモリバンクコンフリクトを引き起こした前記領域の2回目以降のアクセスでは前記コピー領域をアクセスする、
ことを特徴とする。

また本発明のメモリ制御方法は、

メモリ上のある領域のデータへのアクセスにより連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こした場合に、メモリバンクコンフリ

クトを引き起こしたデータをサブメモリの領域の順次異なるバンクにアクセスしてコピーし、

メモリバンクコンフリクトを引き起こした前記領域の2回目以降のアクセスではサブメモリをアクセスするように使用メモリを切り替える、

5 ことを特徴とする。

このようにサブメモリを使用する場合には、更に、メモリバンクコンフリクトを引き起こしたプログラムの実行を終了した際に、サブメモリの内容をメインメモリに書き戻すことを特徴とする。

サブメモリの内容をメインメモリに書き戻す際に、バンク毎に順次に分散された同一アドレス位置のデータを特定のバンクに集約してキャッシュのヒット率が向上するように変換する。

また本発明のメモリ制御方法の別の形態にあっては、

メモリ上のある領域のデータに対するアクセスで連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こすことをコンパイラが付加したプログラム上の記号により検出した場合に、メモリバンクコンフリクトを引き起こしたデータをメモリの使用していない領域の順次異なるバンクにアクセスしてコピーし、

メモリバンクコンフリクトを引き起こした領域の2回目以降のアクセスではコピー領域をアクセスする、

20 ことを特徴とする。

また本発明のメモリ制御方法の別の形態にあっては、

メモリ上のある領域のデータに対するアクセスで連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こすことをコンパイラが付加したプログラム上の記号によって検出した場合に、メモリバンクコンフリクトを引き起こしたデータをサブメモリの領域の順次異なるバンクにアクセスしてコピーし、

メモリバンクコンフリクトを引き起こした領域の2回目以降のアクセスではサブメモリをアクセスするように使用メモリを切り替えることを特徴とする。

このサブメモリを使用する方法にあっては、更に、メモリバンクコンフリクトを引き起こしたプログラムの実行を終了した際に、サブメモリの内容をメインメ

モリに書き戻す。

サブメモリの内容をメインメモリに書き戻す際には、バンク毎に順次に分散された同一アドレス位置のデータを特定のバンクに集約してキャッシュのヒット率が向上するように変換する。

5

図面の簡単な説明

図1はn-wayバンク構成のメインメモリを使用した従来のコンピュータのブロック図；

図2は4バンク構成を例にとったメモリバンクコンフリクトの説明図；

図3はメインメモリの未使用領域を使用してメモリバンクコンフリクトを回避する本発明の第1実施形態のブロック図；

図4はメモリバンクコンフリクトを引き起こすプログラムの説明図；

図5は図3の第1実施形態におけるメモリバンクコンフリクト回避のためのメインメモリ内でのデータコピー処理の説明図；

図6は図3の第1実施形態におけるメモリバンクコンフリクト発生時の処理手順のタイムチャート；

図7はサブメモリを使用してメモリバンクコンフリクトを回避する本発明の第2実施形態のブロック図；

図8は図7の第2実施形態におけるメモリバンクコンフリクト回避のためのサブメモリへのデータコピー処理の説明図；

図9は図7の第2実施形態におけるメモリバンクコンフリクト発生時の処理手順のタイムチャート；

図10はサブメモリを使用したメモリバンクコンフリクトを回避後にメインメモリにライトバックする本発明の第3実施形態のブロック図；

図11は図10の第3実施形態におけるサブメモリからメインメモリへのライトバック処理の説明図；

図12は図10の第3実施形態におけるメモリバンクコンフリクト発生時の処理手順のタイムチャート；

図13はメインメモリにライトバックする際にキャッシュヒットのためデータ配

置を最適化する本発明の第4実施形態のブロック図；

図14は図13の第4実施形態におけるサブメモリからメインメモリへのライトバックする際の最適化処理の説明図；

図15は図13の第4実施形態におけるメモリバンクコンフリクト発生時の処理

5 手順のタイムチャート；

図16はプログラム上の記号によりメモリバンクコンフリクトを検出して回避する本発明の第5実施形態のブロック図；

図17はコンパイラから出力されたメモリバンクコンフリクトの開始と終了を示す記号を記述したプログラムの説明図；

10 図18は図16の第5実施形態におけるメモリバンクコンフリクト回避のためのメインメモリ内でのデータコピー処理の説明図；

図19は図16の第5実施形態におけるメモリバンクコンフリクト発生時の処理手順のタイムチャート；

図20は図19に続く処理手順のタイムチャート；

15 図21はプログラム上の記号によりメモリバンクコンフリクトを検出しサブメモリを使用してメモリバンクコンフリクトを回避する本発明の第6実施形態のブロック図；

図22は図21の第6実施形態におけるメモリバンクコンフリクト回避のためのサブメモリへのデータコピー処理の説明図；

20 図23は図21の第6実施形態におけるメモリバンクコンフリクト発生時の処理手順のタイムチャート；

図24は図23に続く処理手順のタイムチャート；

図25はサブメモリを使用したメモリバンクコンフリクトを回避後にメインメモリにライトバックする本発明の第7実施形態のブロック図；

25 図26は図25の第7実施形態におけるサブメモリからメインメモリへのライトバック処理の説明図；

図27は図25の第7実施形態におけるメモリバンクコンフリクト発生時の処理手順のタイムチャート；

図28は図27に続く処理手順のタイムチャート；

図29はメインメモリにライトバックする際にキャッシュヒットのためデータ配置を最適化する本発明の第8実施形態のブロック図；
 図30は図29の第8実施形態におけるサブメモリからメインメモリへのライトバックする際の最適化処理の説明図；

- 5 図31は図29の第8実施形態におけるメモリバンクコンフリクト発生時の処理手順のタイムチャート；
 図32は図31に続くタイムチャート；

発明を実施するための最良の形態

10 図3は、本発明の第1実施形態のブロック図であり、メインメモリの未使用領域を利用してメモリバンクコンフリクトを回避するようにすることを特徴とする。図3において、コンピュータは、プロセッサ10、キャッシュ12、メインメモリ14及びメモリコントローラ18を備える。メインメモリ14は4つのバンク16-1, 16-2, 16-3, 16-4で構成される。ここでバンク16-1～16-4はそれぞれ64バイト幅であり、64バイトごとにバンクが切り替わる場合を例にとっている。このため、8バイトのデータ配列a[]を考えると、このデータ配列を32インデックスずつ飛ばしながらアクセスした場合に、256バイトのストライドでアクセスすることとなり、最初のアクセスがバンク16-1であったとすると、その後、連続してバンク16-1をアクセスするメモリバンクコンフリクトを起こすことになる。

20 このようなコンピュータにおいて本発明の第1実施形態にあっては、新たにメモリバンクコンフリクト判別装置20とデータ複数回参照検出装置22を設け、これに加え、メモリコントローラ18にメモリバンクコンフリクトを回避するための制御機能を設けている。メモリバンクコンフリクト判別装置20は、プロセッサ10がメインメモリ14上有るデータにアクセスする際に連続して同一バンクをアクセスするメモリバンクコンフリクトを引き起こしていることを検出する。データ複数回参照検出装置22は、メモリバンクコンフリクトを引き起こしたメインメモリ14の領域に再びアクセスした2回目以降のアクセスを検出する。メモリコントローラ18は、メモリバンクコンフリクト判別装置20によりメ

モリバンクコンフリクトを検出した際にメモリバンクコンフリクトを引き起こしたデータを、メインメモリ 14 の使用していない領域の順次異なるバンクにアクセスしてコピーする。またメモリコントローラ 18 は、メモリバンクコンフリクト検出後にデータ複数回参照検出装置 22 により検出された 2 回目以降のアクセスにおいて、メモリバンクコンフリクトを引き起こしたデータを順次異なるバンクのコピー領域にアクセスするように制御する。

更に詳細に説明すると、次のようになる。プログラムはメインメモリ 14 に格納されており、プロセッサ 10 で実行される。プロセッサ 10 により一度ロードまたはストアされたデータはキャッシュ 12 に乗るが、容量が一杯になると LRU などの所定のアルゴリズムに従ってキャッシュ 12 上から古いデータが追い出され、メインメモリ 14 に戻されるライトバックが生ずる。

プロセッサ 10 により実行されるプログラムは例えば図 4 のようなコードを包含している。このプログラムにおいて、Loop 1 の中では (2) の命令によってロードが行われるが、(3) の add 命令でストライドが加算され、ストライドの値は 256 バイトである。即ち、最初にアクセスしたアドレスが「0」であったとすると、ループが回転するごとにアドレスは「256」、「512」、「768」、…となり、バンク 16-1 のみがアクセスされる。このため、最初のロードが完了する前に次のロードが発行されてしまうとメモリバンクコンフリクトが起きてしまい、性能が大きく低下する。

図 5 は、図 3 のメインメモリ 14 を取り出している。いま図 4 の Loop 1 におけるループの回転によるメモリバンクコンフリクトが起きると、メインメモリにおいて本来データが乗っている場所である領域 24 にあっては、バンク 16-1 のみがデータ配列 a [0], a [64], a [128], a [192], a [256] のようにアクセスされるようになる。

図 3 の実施形態におけるメモリバンクコンフリクト判別装置 20 にあっては、図 5 に示すような同一のバンク例えばバンク 16-1 に対する予め定めた所定時間内でのアクセスの回数が所定回数 N 以上になったとき、メモリバンクコンフリクトと判別し、メモリコントローラ 18 に検出信号を送る。

メモリバンクコンフリクトの検出信号を受けたメモリコントローラ 18 は、図

5のように、領域24においてメモリバンクコンフリクトを起こしているデータ即ち要素が8バイトの配列a[]で表わしたデータ配列a[0], a[64], a[128], a[192], a[256]のように256バイトのストライドでアクセスしていたとすると、データ配列a[0]はバンク16-1の空き領域26に、データ配列a[64]はバンク16-2の空き領域26に、データ配列a[128]はバンク16-3の空き領域26に、データ配列a[192]はバンク16-4の空き領域26に、というように、順次バンクを割り当てるよう5にコピーを行う。

図3のメモリバンクコンフリクト判別装置20は、ある所定時間内にメモリバンクコンフリクトを起こしているバンク16-1へのアクセス回数が所定値N未満になると、メモリコントローラ18に対しメモリバンクコンフリクトの検出終了信号を出力し、これを受けてメモリコントローラ18は空き領域26に対するコピーを終了し、その後は通常のプログラム処理を再開する。

ここで図4のプログラムにあっては、Loop1の外側にLoop2があるため、再びメモリバンクコンフリクトを起こすLoop1が実行されることになる。なお、説明の都合上、再びLoop1が実行されるときには、キャッシュ12上にはデータはほとんど残っていないものとする。

再びLoop1が実行されると、図3のデータ複数回参照検出装置22によつて2回目のアクセスが検出され、この検出信号がメモリコントローラ18に送られる。2回目のアクセスの検出信号を受けたメモリコントローラ18は、メインメモリ14の領域24ではなく、コピーが行われている領域26をアクセスするように切り替えられる。このためメモリバンクコンフリクトを引き起こすことなく領域24にコピーされているデータへのアクセスができる。領域26に対するアクセスが終了するとメモリコントローラ18への通知が行われ、メインメモリ25 14における元の領域24へのアクセスに切り替わる。

図6は、図3の第1実施形態におけるメモリバンクコンフリクト回避のためにメインメモリ内でデータコピー処理を行う場合のタイムチャートである。図6において、図4のようなコードを持つプログラムのLoop1の実行により、図5のようにメインメモリ14におけるメモリバンク16-1の領域24に対するア

クセスが連続すると、メモリバンクコンフリクト判別装置20がステップS1で所定回数Nへの到達を判別してメモリバンクコンフリクトを検出し、ステップS2でメモリバンクコンフリクトの開始通知をメモリコントローラ18に対し行う。このメモリバンクコンフリクト判別装置20からの開始通知を受けて、メモリ5コントローラ18は、ステップS101で、メモリバンクコンフリクトを起こした同一バンクであるバンク16-1のデータを、図5のように空き領域26に対し各バンク16-1～16-4に順次コピーする。

一方、メモリバンクコンフリクト判別装置20にあっては、ステップS2でメモリバンクコンフリクトの開始通知を行った後、ステップS3で、ある時間内に10におけるアクセス回数がN回未満となるメモリバンクコンフリクト未検出を判別しており、未検出を判別すると、ステップS4でメモリコントローラ18に対しメモリバンクコンフリクト検出の終了通知を行う。この終了通知を受けて、メモリコントローラ18はステップS102で空き領域へのコピーを終了する。その後、例えば図4のLoop2により再びLoop1が実行されると、データ複数回15参照検出装置22がメモリバンクコンフリクトを発生したデータへのアクセスの2回目以降のアクセスを検出して、ステップS201でメモリコントローラ18に開始通知を行う。この開始通知を受けて、メモリコントローラ18はステップS103でメインメモリ14のアクセス領域をコピーが行われた領域26に切り替え、これによってメモリバンクコンフリクトを回避することができる。データ20複数回参照検出装置22は、ある時間内における同一バンクへのアクセス回数がN回未満になると、これを検出して、ステップS202で終了通知をメモリコントローラ18に対し行う。この終了通知を受けて、メモリコントローラ18はステップS104で元の記憶領域24に切り替え、その後は通常のプログラムの処理を再開する。

25 図7は、サブメモリを使用してメモリバンクコンフリクトを開始する本発明の第2実施形態のブロック図である。図7において、第2実施形態のコンピュータは、プロセッサ10、キャッシュ12、4つのバンク16-1～16-4を備えたメモリ14、メモリコントローラ18、メモリバンクコンフリクト判別装置20、データ複数回参照検出装置22を備え、この点は図2の第1実施形態と同じ

である。これに加え第2実施形態にあっては、メモリバンクコンフリクトを回避するためのメモリとしてサブメモリ28を新たに設けている。サブメモリ28はメインメモリ14と同様、4つのバンク30-1, 30-2, 30-3, 30-4を備え、メモリコントローラ18によりアクセスを受ける。メモリコントローラ18によるメインメモリ14とサブメモリ28に対するアクセスは、セレクタ32で切り替えられる。ここでメインメモリ14は64バイト幅のバンク16-1～16-4を持ち、このため同一バンクにアクセスするためのストライドは256バイトとなる。このバンク構成はサブメモリ28についても同様であり、64バイトのバンク30-1～30-4を備え、同一バンクにアクセスするためのストライドは256バイトとなっている。

次に図7の第2実施形態の動作を説明する。プログラムはメインメモリ14から読み出され、プロセッサ10において実行される。メインメモリ14から読み出されたデータはキャッシュ12に乗り、キャッシュ12から追い出されなければ2度目以降のデータへのアクセスはキャッシュ12から行われる。ここでは、メモリバンクコンフリクトを引き起こすデータ領域への2回目以降のアクセス時にはキャッシュ12からデータが追い出されているとして動作を説明する。

いま図4に示したようなコードを持つプログラムを実行すると、Loop1の実行で図8のメインメモリ14に示すようにバンク16-1にアクセスが集中し、メモリバンクコンフリクト判別装置20がメモリバンクコンフリクトを検出してメモリコントローラ18に通知する。メモリバンクコンフリクトの検出通知を受けたメモリコントローラ18は、図7のように、バンク16-1にアクセスしているデータ配列a[0], a[64], a[128], a[192], a[256]に関し、サブメモリ28にコピーする。このサブメモリ28へのコピーについて、データ配列a[0]はバンク30-1にコピーし、データ配列a[64]はバンク30-2にコピーし、データ配列a[128]はバンク30-3にコピーし、更にデータ配列a[192]はバンク30-4にコピーするというよう順次隣りのバンクにデータをコピーする。このようなサブメモリ28に対するコピーの間も、メモリバンクコンフリクト判別装置20は同一バンクに対するアクセス回数がN回以上か否かチェックを続けており、特定のバンクに対する所

定時間内のアクセスの回数がN未満となると、これを検出してメモリコントローラ18に信号を送り、サブメモリ28へのコピーを終了する。

図4のプログラムにあっては、Loop1の外側にLoop2があるため、再びメモリバンクコンフリクトを起こすLoop1が実行される。ここで再びLoop1が実行されるときにキャッシング上にはほとんどデータが残っていなかったとすると、キャッシングミスとなってメインメモリ14をアクセスすることとなり、データ複数回参照検出装置22が2回目以降のアクセスを検出してメモリコントローラ18に信号を送る。このたメモリコントローラトローラ18は、セレクタ32を制御してサブメモリ28側に切り替え、サブメモリ28をアクセスする。サブメモリ28には、このとき図8のようにバンク30-1～30-4ごとに順次データがコピーされているため、メモリバンクコンフリクトを回避したアクセスができる。サブメモリ28に対するアクセスが終了すると、メモリコントローラ18はセレクタ32に制御信号を送って、サブメモリ28からメインメモリ14に切り替え、処理を実行する。

図9は、図7のサブメモリを使用した第2実施形態における処理動作のタイムチャートである。図8において、メモリバンクコンフリクト判別装置20及びデータ複数回参照検出装置22の動作は、図6の第1実施形態のタイムチャートと同じである。第2実施形態にあっては、メモリコントローラ18がステップS101でメモリバンクコンフリクト判別装置からのメモリバンクコンフリクトの検出に基づく開始通知を受けた際にメインメモリ14の同一バンクのデータをサブメモリ28の順次隣りとなるバンクにコピーする処理を行う点が相違する。またサブメモリへのコピーをステップS102で終了した後、データ複数回参照検出装置22より2回目以降のデータ検出に基づく開始通知を受けた際に、メモリコントローラ18はステップS103でサブメモリに切り替え、アクセス終了通知を受けると、またステップS104でメインメモリ14に切り替えるようにしている。

図10は、サブメモリを使用してメモリバンクコンフリクトを開始する本発明の第3実施形態のブロック図であり、この第3実施形態にあっては、サブメモリに対するコピーでメモリバンクコンフリクトを回避してプログラムを終了した後

に、サブメモリの内容をメインメモリにライトバックするようにしたことを特徴とする。

図10において、プロセッサ10、キャッシュ12、メインメモリ14、メモリコントローラ18、メモリバンクコンフリクト判別装置20、データ複数回参考検出装置22、サブメモリ28及びセレクタ32の構成及び動作は、図7の第2実施形態と同じである。これに加え第3実施形態にあっては、ライトバック装置34を新たに設けている。ライトバック装置34は、図4のようなメモリバンクコンフリクトを起こすプログラムの実行を終了した際に、サブメモリ28の内容をメインメモリ14に書き戻すライトバック処理を実行する。

図11は、図4のプログラムの実行終了時のライトバック処理を説明する。メインメモリ14のバンク16-1に対するアクセスでメモリバンクコンフリクトが検出されると、サブメモリ28のバンク30-1～30-4に順次、メモリバンクコンフリクトを生じたデータのコピーが行われる。2回目以降のバンク16-1に対する連続するアクセスを検出した際にはサブメモリ28に切り替えられ、データはバンク30-1～30-4に順次存在することから、メモリバンクコンフリクトが回避できる。このようなメモリバンクコンフリクトを発生するプログラムの実行が終了すると、図10の第3実施形態にあっては、ライトバック装置34により、サブメモリ28のバンク30-1～30-4にコピーしたメモリバンクコンフリクトを回避するためのデータをそのままメインメモリ14に書き戻すライトバックを実行する。このときアドレス変換も同時に行い、プログラムが矛盾しなようにする。具体的には、図4のプログラムにおける(3)のストライド値256をストライド値64とするアドレス変換を行えばよい。

このようなサブメモリ28からメインメモリ14へのライトバックが行われると、2回目以降の図3のコードを含むプログラムの実行にあっては、メインメモリ14そのものがメモリバンクコンフリクトを起こすことのないデータ格納状態を持っているため、2回目以降のプログラムの実行にあってはメモリバンクコンフリクトが発生せず、サブメモリにメモリバンクコンフリクトを回避するためにデータをコピーする必要もなくなる。この結果、第3実施形態にあっては、一度メモリバンクコンフリクトを引き起こして回避策がとられると、2回目以降のプ

ログラムの実行にあってはメモリバンクコンフリクトは発生せず、プログラムの実行性能を向上できる。

図12は、図10の第3実施形態の処理動作のタイムチャートである。この図12のタイムチャートにあっては、メモリコントローラ18のステップS105におけるプログラム終了でサブメモリの内容をメインメモリにライトバックする点以外は、図8の第2実施形態のタイムチャートと同じである。

図13は、サブメモリを使用してメモリバンクコンフリクトを開始する本発明の第4実施形態のブロック図である。この第4実施形態にあっては、プロセッサ10、キャッシュ12、メインメモリ14、メモリコントローラ18、メモリバンクコンフリクト判別装置20、データ複数回参照検出装置22、サブメモリ28、セレクタ32及びライトバック装置34を備えた点は図10の第3実施形態と同じであるが、第4実施形態にあっては新たにデータ配置最適化装置36を設けている。このデータ配置最適化装置36は、ライトバック装置34によりサブメモリ28の内容をメインメモリ14に書き戻す際に、バンクごとに順次分散された同一アドレス位置のデータを特定のバンクに集約してキャッシュ12のヒット率が向上するように配置変換する。

図14は、図13の第4実施形態におけるメモリバンクコンフリクトの検出によるサブメモリ28のコピー、サブメモリ28からのライトバック、更にライトバックにおけるデータ配置最適化を示している。

図13において、メインメモリ14のバンク16-1に対する連続アクセスでメモリバンクコンフリクトが発生すると、サブメモリ28のバンク30-1～30-4に順次コピーし、メモリバンクコンフリクトを回避する。このメモリバンクコンフリクトを発生したプログラムの実行が終了すると、サブメモリ28からメインメモリ14に対するライトバックが行われる。このライトバックの際に図13のデータ配置最適化装置36は、キャッシュヒット率を上げるようにデータの配置を変換する。即ち、サブメモリ28のデータ配列a[0]、a[64]、a[128]、a[192]は、それぞれサブメモリ28の別のバンクに乗っているが、これらのデータを全てメインメモリ14のバンク16-1の64バイトラインに乗るようにデータ配置の変換を行う。この結果、ライトバック終了後の

メインメモリ 14 にあっては、先頭のデータ配列 a [0] をアクセスした後、後続するデータ配列 a [64]、a [128]、a [192] は、最初のアクセスでキャッシュ 12 上に配置され、キャッシュヒットすることになる。この結果、メモリバンクコンフリクトを引き起こすことなく、キャッシュヒット率を向上させてプログラムの実行性能を向上させることができる。

図 15 は、図 13 の第 4 実施形態の処理動作のタイムチャートである。このタイムチャートにおいて、メモリコントローラ 18 がステップ S105 でプログラム終了時にデータ配置を最適化してサブメモリ 28 の内容をメインメモリ 14 にライトバックする点以外は、図 12 の第 3 実施形態のフローチャートと同じである。

図 16 は、本発明の第 5 実施形態のブロック図であり、既に説明した第 1 ~ 第 4 実施形態に設けているメモリバンクコンフリクト判別装置 20 を除き、コンパイラが付加したプログラム上の記号によりプロセッサでメモリバンクコンフリクトを検出して回避するようにしたことを特徴とする。

図 16において、第 5 実施形態のコンピュータは、プロセッサ 10、キャッシュ 12、メインメモリ 14 及びメモリコントローラ 18 を備える。この構成は図 2 の第 1 実施形態におけるメモリバンクコンフリクト判別装置 20 を除いた構成と同じである。プロセッサ 10 にはメモリバンクコンフリクト記号判別部 40 が設けられている。メモリバンクコンフリクト記号判別部 40 は、メインメモリ 14 上のある領域のデータにアクセスする際に連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こすことをコンパイラが付加したプログラム上の記号によって検出し、メモリコントローラ 18 に通知する。

図 17 は、図 16 の第 5 実施形態で実行されるメモリバンクコンフリクトを引き起こすコードを包含したプログラムである。このプログラムにあっては、L o o p 1 の中で (2) の命令によってロードが行われるが、(3) の add 命令でストライドが加算され、ストライドの値は 256 バイトであり、その結果、最初にアクセスしたアドレスが「0」であったとすると、L o o p が回転するごとにアドレスが「256」「512」「768」…となり、バンク 16 - 1 のみがアクセスされ、最初のロードが完了する前に次のロードが発行されると、メモリバ

ンクコンフリクトが起きてしまう。そこで、このプログラムについて、コンパイラによってLoop 1内でメモリバンクコンフリクトが起こることを示す開始記号として「bank conflict start」が付加されている。更に Loop 1の実行終了でメモリバンクコンフリクトが終了することから、Loop 5 p 1の最後にコンパイラによってメモリバンクコンフリクトの終了を示す終了記号「bank conflict end」を付加している。

本発明のプロセッサ10に設けているメモリバンクコンフリクト記号判別部40にあっては、図17におけるコンパイラにより付加されたメモリバンクコンフリクトの開始記号を判別すると、メモリコントローラ18に開始通知を行い、メ10モリバンクコンフリクトを引き起こしたデータをメインメモリ14の使用していない空き領域の順次異なるバンクにアクセスしてコピーし、更に2回目以降のアクセスをコンパイラが付加したメモリバンクコンフリクトの開始記号から判別した場合には、コピー領域をアクセスするように制御する。

このようなプロセッサにより付加された記号を使用してメモリバンクコンフリクトを判別する図16の第5実施形態の動作を説明すると、次のようになる。

プログラムはメインメモリ14に格納されており、プロセッサ10で実行される。一度、ロードまたはストアされたデータはキャッシュ12に乗るが、容量が一杯になるとLRUなどのアルゴリズムに従ってキャッシュ12上から古いデータが追い出され、メインメモリ14にライトバックされる。この実施形態で実行20されるプログラムは、図17のようなコンパイラで付加されたメモリバンクコンフリクトの開始と終了を示す記号を包含している。Loop 1の中では(2)の命令によってロードが行われ、(3)のadd命令で256バイトのストライドが加算され、最初にアクセスしたアドレスが「0」であったとすると、ループが回転するごとに256バイトずつのストライドで、図18の領域24におけるバ25ンク16-1に示すように、データ配列a[0]、a[64]、a[128]、a[192]、a[256]にアクセスし、メモリバンクコンフリクトを起こす。プロセッサ10は、コンパイラが付加したメモリバンクコンフリクトの開始を示す開始記号「bank conflict start」によってメモリバンクコンフリクトを起こす命令が検知できる。このためプロセッサ10が、このメ

モリバンクコンフリクトの開始を示す記号を検知すると、メモリコントローラ18に信号を送る。メモリコントローラ18は図17のように、メモリバンクコンフリクトを起こしているデータ配列a[0]、a[64]、a[128]、a[192]…を、バンク16-1～16-4の空き領域26にバンクを順に割り当てるようにコピーする。

図17のメモリバンクコンフリクトを起こすLoop1の実行を終了すると、コンパイラが付加した終了記号「bank conflict end」をプロセッサ10が検知し、メモリコントローラ18に信号を送る。この信号を受けたメモリコントローラ18は、図18の領域26に対するコピーを終了し、その後10は通常のプログラム処理を再開する。

図17のように、このプログラムではLoop1の外側にLoop2があるとき、再びメモリバンクコンフリクトを起こすLoop1が実行される。ここで再びLoop1が実行されるときには、キャッシュ12上にはデータはほとんど残っていないものとする。再びLoop1が実行されると、プロセッサ10がコンパイラにより付加されたメモリバンクコンフリクトの開始記号を検知してメモリコントローラ18に信号が送られ、このためメモリコントローラ18は、図18の領域24ではなく領域26をアクセスするように切り替えられる。このため、メモリバンクコンフリクトを引き起こすことなくデータへのアクセスができる。プロセッサ10がメモリバンクコンフリクトを引き起こした命令の終了を示す終20了記号を検知すると、メモリコントローラ18への通知が行われ、領域24のアクセスに戻って通常の処理を続行する。

図19及び図20は、図17の第5実施形態の処理動作のタイムチャートである。図19及び図20において、プロセッサ10がステップS1でコンパイラが付加したメモリバンクコンフリクトの開始記号を検出すると、ステップS2で開始通知をメモリコントローラ18に対し行う。これを受けたメモリコントローラ18は、ステップS101でメモリバンクコンフリクトを起こした同一バンクの領域を空き領域の順次異なるバンクとなるようにコピーする。続いてプロセッサ10がステップS3でメモリバンクコンフリクト終了を示す終了記号を検出すると、ステップS4で終了通知をメモリコントローラ18に対し行い、これを受け

てメモリコントローラ18はステップS102で空き領域へのコピーを終了する。その後のプログラムの実行で、ステップS5で再度メモリバンクコンフリクトの開始記号が検出されて、ステップS6で開始通知が行われると、メモリコントローラ18は、ステップS103でコピーが行われた領域に切り替えてアクセス⁵を行い、これによりメモリバンクコンフリクトが回避される。続いてステップS7でプロセッサ10がメモリバンクコンフリクト終了を示す終了記号を検出すると、ステップS8で終了通知が行われ、メモリコントローラ18はステップS104で元の領域に切り替えてプログラムの実行を続行する。

図21は、コンパイラが付加した記号によりプロセッサでメモリバンクコンフ¹⁰リクトを判別する本発明の第6実施形態であり、この第6実施形態にあってはサブメモリを使用してメモリバンクコンフリクトを回避するようにしたことを特徴とする。

図21において、メモリバンクコンフリクト記号判別部40を備えたプロセッサ10、キャッシュ12、メインメモリ14は、図16の第5実施形態と同じであるが、この第6実施形態にあっては新たにサブメモリ28を設け、メモリコントローラ18に対しセレクタ32によりメインメモリ14とサブメモリ28を切替える可能としている。サブメモリ28はメインメモリ14と同様、64バイト幅の4つのバンク30-1～30-4で構成されている。

次に図21の第6実施形態の動作を説明する。プログラムはメインメモリ14から読み出され、プロセッサ10において実行される。メインメモリ14から読み出されたデータはキャッシュ12に乗り、キャッシュ12から追い出されなければ2度目以降のデータへのアクセスはキャッシュ12から行われる。ここでは、メモリバンクコンフリクトを起こす場所への2回目以降のアクセス時にはデータはキャッシュ12から追い出されているものとして説明する。

プロセッサ10が図16のコードを含むプログラムを実行し、コンパイラにより付加されたメモリバンクコンフリクトの開始記号を検出すると、メモリコントローラ18に信号を送る。このためメモリコントローラ18は、図16のように、メモリバンクコンフリクトを起こす場所への1回目以降のアクセス時には、メインメモリ14の連続したアクセスを行ったバンク16-1のデータa[0]、

a [64]、a [128]、a [192]、a [256]を、サブメモリ28の
 バンク30-1~30-4に対し順次隣りのバンクとなるようにコピーする。そ
 の後、プロセッサが図16に示しているメモリバンクコンフリクトの終了を示す
 終了記号を検出してメモリコントローラ18に通知すると、メモリコントローラ
 5 18はコピーを終了する。

図16のプログラムにあっては、Loop1の外側にLoop2があることか
 ら、再びメモリバンクコンフリクトを起こすLoop1が実行される。ここで再
 びLoop1が実行されるときには、キャッシュ12上にはデータがほとんど残
 っていないものとする。再びLoop1実行されると、プロセッサ10がコンパ
 10 イラにより付加されたメモリバンクコンフリクトの開始記号を検出してメモリコ
 ントローラ18に信号が送られる。この信号を受けたコントローラ18は、セレ
 クタ32に制御信号を出力し、メインメモリ14からサブメモリ28にアクセス
 を切り替える。このためメモリコントローラ18は、図22のように、各バンク
 ごとに順次データが配置されたサブメモリ28をアクセスし、メモリバンクコン
 15 フリクトを回避することができる。

プロセッサ10が図17におけるコンパイラに付加されたメモリバンクコンフ
 リクトの終了記号を検出すると、メモリコントローラ18に信号が出力され、メ
 モリコントローラ18はセレクタ32に制御信号を出力してサブメモリ28から
 メインメモリ14へのアクセスに切り替え、通常の処理を続行する。

20 図23及び図24は、図21の第6実施形態の処理動作のタイムチャートである。この処理動作にあっては、メモリコントローラ18がプロセッサ10からメ
 モリバンクコンフリクトの開始記号検出による開始通知を受けた際に、ステップ
 S101でメインメモリの同一バンクのデータをサブメモリの順次隣りとなるバ
 ンクにコピーし、メモリバンクコンフリクトの終了記号の検出による終了通知を
 25 受けて、サブメモリへのコピーを終了する。その後、プロセッサ10側において
 2回目のメモリバンクコンフリクトの開始記号の検出による開始通知を受けると
 、ステップS103でサブメモリに切り替え、続いてプロセッサ10側からメモ
 リバンクコンフリクトの終了記号の検出による終了通知を受けると、メインメモ
 リにステップS104で切り替える。

図25は、コンパイラにより付加されたメモリバンクコンフリクトの判別記号をプロセッサ10で検知する本発明の第7実施形態のブロック図であり、この第7実施形態にあっては、図21の第6実施形態に新たにライトバック装置34を設けたことを特徴とする。ライトバック装置34は、図17のようなメモリバンクコンフリクトを引き起こすプログラムの実行を終了した時点で、図26のように、そのときのサブメモリ28の内容をメインメモリ14にライトバックする。このライトバックを行った際にはアドレス変換も同時にを行い、図16のプログラムにおける(3)のストライドの値256との矛盾が起きないようにする。具体的には、図17のプログラムにおける(3)のストライド値256をストライド値64とするアドレス変換を行えばよい。

図27及び図28は、図25の第7実施形態の処理動作のタイムチャートである。このタイムチャートは、メモリコントローラ18がステップS105でメモリバンクコンフリクトを引き起こすプログラムの終了でサブメモリの内容をメインメモリにライトバックしており、この点以外は図21の第6実施形態と同じになる。

図29は、コンパイラが付加した記号によりメモリバンクコンフリクトを判別する本発明の第8実施形態のブロック図である。この第8実施形態にあっては、図25の第7実施形態に更に、データ配置最適化装置36を設けたことを特徴とする。

データ配置最適化装置36は、コンパイラにより付加されたメモリバンクコンフリクトを示す記号をプロセッサ10が判別して、図30のように、メインメモリ14のバンク16-1に対する連続アクセスのデータをサブメモリのバンク16-1から16-4に順次コピーしてメモリバンクコンフリクトを回避し、このプログラムの実行を終了してライトバックする際にキャッシュヒット率を向上するようにデータ配置を変換する。即ち、図30のサブメモリ28におけるバンク30-1～30-4のそれぞれに配置していたデータ配列a[0]、a[64]、a[128]、a[192]を、全てメインメモリ14のバンク16-1における64バイトラインに乗るようにデータ配置の変換を行う。このようなデータ配置の変換によるライトバックで、1つのバンクの64バイトキャッシュライン

にデータが乗り、データ配列 a [0] をアクセスすると、残りのデータ配列 a [64]、a [128]、a [192] はキャッシュヒット可能となる。このため、メモリバンクコンフリクトを引き起こすことなくキャッシュヒット率を向上させてプログラムの実行性能を向上できる。

5 図31及び図32は、図29の第8実施形態の処理動作のタイムチャートである。このタイムチャートにあっては、メモリコントローラ18がステップS10
5で、メモリバンクコンフリクトを引き起こすプログラムが終了した時にサブメモリの内容をキャッシュヒット率を上げるように同一バンクにまとめてメインメモリにライトバックしており、それ以外の点は図25の第7実施形態のフローチ
10 ャートと同じになる。

なお上記の実施形態はバンクの数を4つとした4ウェイのメインメモリ14を例にとるものであったが、バンク数は必要に応じて適宜に定めることができる。また上記の実施形態にあっては、1つのバンク幅を64バイトとした場合を例にとっているが、このバンク幅も必要に応じて適宜に定めることができる。また本
15 発明は、その目的と利点を損なわない適宜の変形を含み、更に上記の実施形態に示した数値による限定は受けない。

産業上の利用の可能性

以上説明してきたように本発明によれば、複数のバンク構成を使用したメモリを備えたコンピュータにおいて、連続して同一バンクにアクセスするメモリバンクコンフリクトが起きても、メモリバンクコンフリクトを起こしたデータの未使用領域へのバンク順に分けたコピー、あるいはサブメモリの各バンクに対するバンク順に分けたコピーを行って、コピー後の領域に対して2回目以降のアクセスを行うことで、メモリバンクコンフリクトを回避することができ、メモリバンク
25 コンフリクトによる性能劣化を動的に回避することができる。

請求の範囲

1. プロセッサがメモリ上のある領域のデータにアクセスする際に、連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こしていることを検出する判別装置と、
メモリバンクコンフリクトを引き起こした前記領域を再びアクセスしたことを探出する参照検出装置と、
前記判別部によりメモリバンクコンフリクトを検出した際に、メモリバンクコンフリクトを引き起こしたデータを前記メモリの使用していない領域の順次異なるバンクにアクセスしてコピーし、前記参照検出部により検出された2回目以降のアクセスでは前記コピー領域をアクセスするように制御するメモリコントローラと、
を備えたことを特徴とするコンピュータ。
- 15 2. プロセッサがメモリ上のある領域のデータにアクセスする際に、連続して同一バンクにアクセスするメモリバンクコンフリクトを引き起こしていることを検出する判別装置と、
メモリバンクコンフリクトを引き起こした前記領域を再びアクセスしたことを探出する参照検出装置と、
前記メモリ内のデータ配置を変更して書き込むサブメモリと、
前記判別部によりメモリバンクコンフリクトを検出した際に、メモリバンクコンフリクトを引き起こしたデータを前記サブメモリの順次異なるバンクにアクセスしてコピーし、前記参照検出部により検出された2回目以降のアクセスでは前記サブメモリをアクセスするように使用メモリを切り替えるメモリコントローラと、
を備えたことを特徴とするコンピュータ。
3. 請求の範囲2のコンピュータに於いて、更に、前記メモリバンクコンフリクトを引き起こしたプログラムの実行を終了した際に、前記サブメモリの内容を前

記メインメモリに書き戻すライトバック装置を設けたことを特徴とするコンピュータ。

4. 請求の範囲 3 のコンピュータに於いて、更に、前記ライトバック装置により
5 サブメモリの内容をメインメモリに書き戻す際に、バンク毎に順次に分散された
同一アドレス位置のデータを特定のバンクに集約してキャッシュのヒット率が向
上するように変換するデータ配置最適化装置を設けたことを特徴とするコンピュ
ータ。
- 10 5. メモリ上のある領域のデータにアクセスする際に、連続して同一バンクにア
クセスするメモリバンクコンフリクトを引き起こすことを、コンパイラが付加し
たプログラム上の記号によって検出可能なプロセッサと、
前記プロセッサによりメモリバンクコンフリクトを検出した際に、メモリバン
クコンフリクトを引き起こしたデータを前記メモリの使用していない領域の順次
15 異なるバンクにアクセスしてコピーし、前記領域の 2 回目以降のアクセスでは前
記コピー領域をアクセスするように制御するメモリコントローラと、
を備えたことを特徴とするコンピュータ。
- 20 6. メモリ上のある領域のデータにアクセスする際に、連続して同一バンクにア
クセスするメモリバンクコンフリクトを引き起こすことを、コンパイラが付加し
たプログラム上の記号によって検出可能なプロセッサと、
前記メモリ内のデータ配置を変更して書き込むサブメモリと、
前記プロセッサによりメモリバンクコンフリクトを検出した際に、メモリバン
クコンフリクトを引き起こしたデータを前記サブメモリの使用していない領域の
25 順次異なるバンクにアクセスしてコピーし、前記領域の 2 回目以降のアクセスで
は前記サブメモリをアクセスするように使用メモリを切り替えるメモリコントロ
ーラと、
を備えたことを特徴とするコンピュータ。

7. 請求の範囲 6 のコンピュータに於いて、更に、前記メモリバンクコンフリクトを引き起こしたプログラムの実行を終了した際に、前記サブメモリの内容を前記メインメモリに書き戻すライトバック装置を設けたことを特徴とするコンピュータ。

5

8. 請求の範囲 7 のコンピュータに於いて、更に、前記ライトバック装置によりサブメモリの内容をメインメモリに書き戻す際に、バンク毎に順次に分散された同一アドレス位置のデータを特定のバンクに集約してキャッシュのヒット率が向上するように変換するデータ配置最適化装置を設けたことを特徴とするコンピュ

10 テータ。

9. メモリ上のある領域のデータへのアクセスにより連續して同一バンクにアクセスするメモリバンクコンフリクトを引き起こした場合に、メモリバンクコンフリクトを引き起こしたデータを前記メモリの使用していない領域の順次異なるバンクにアクセスしてコピーし、

メモリバンクコンフリクトを引き起こした前記領域の 2 回目以降のアクセスでは前記コピー領域をアクセスすることを特徴とするメモリ制御方法。

10. メモリ上のある領域のデータへのアクセスにより連續して同一バンクにアクセスするメモリバンクコンフリクトを引き起こした場合に、メモリバンクコンフリクトを引き起こしたデータをサブメモリの領域の順次異なるバンクにアクセスしてコピーし、

メモリバンクコンフリクトを引き起こした前記領域の 2 回目以降のアクセスでは前記サブメモリをアクセスするように使用メモリを切り替えることを特徴とするメモリ制御方法。

11. 請求の範囲 10 のメモリ制御方法に於いて、更に、前記メモリバンクコンフリクトを引き起こしたプログラムの実行を終了した際に、前記サブメモリの内容を前記メインメモリに書き戻すことを特徴とするメモリ制御方法。

12. 請求の範囲11のコンピュータに於いて、更に、前記サブメモリの内容を
メインメモリに書き戻す際に、バンク毎に順次に分散された同一アドレス位置の
データを特定のバンクに集約してキャッシュのヒット率が向上するように変換す
5 ることを特徴とするメモリ制御方法。

13. メモリ上のある領域のデータに対するアクセスで連続して同一バンクにア
クセスするメモリバンクコンフリクトを引き起こすことをコンパイラが付加した
プログラム上の記号によって検出した場合に、メモリバンクコンフリクトを引き
10 起こしたデータを前記メモリの使用していない領域の順次異なるバンクにアクセ
スしてコピーし、

メモリバンクコンフリクトを引き起こした前記領域の2回目以降のアクセスで
は前記コピー領域をアクセスすることを特徴とするメモリ制御方法。

15 14. メモリ上のある領域のデータに対するアクセスで連続して同一バンクにア
クセスするメモリバンクコンフリクトを引き起こすことをコンパイラが付加した
プログラム上の記号によって検出した場合に、メモリバンクコンフリクトを引き
起こしたデータをサブメモリの領域の順次異なるバンクにアクセスしてコピーし

20 メモリバンクコンフリクトを引き起こした前記領域の2回目以降のアクセスで
は前記サブメモリをアクセスするように使用メモリを切り替えることを特徴とす
るメモリ制御方法。。

15. 請求の範囲14のメモリ制御方法に於いて、更に、前記メモリバンクコン
25 フリクトを引き起こしたプログラムの実行を終了した際に、前記サブメモリの内
容を前記メインメモリに書き戻すことを特徴とするメモリ制御方法。

16. 請求の範囲15のメモリ制御方法に於いて、更に、前記サブメモリの内容
をメインメモリに書き戻す際に、バンク毎に順次に分散された同一アドレス位置

のデータを特定のバンクに集約してキャッシュのヒット率が向上するように変換することを特徴とするメモリ制御装置。

図1

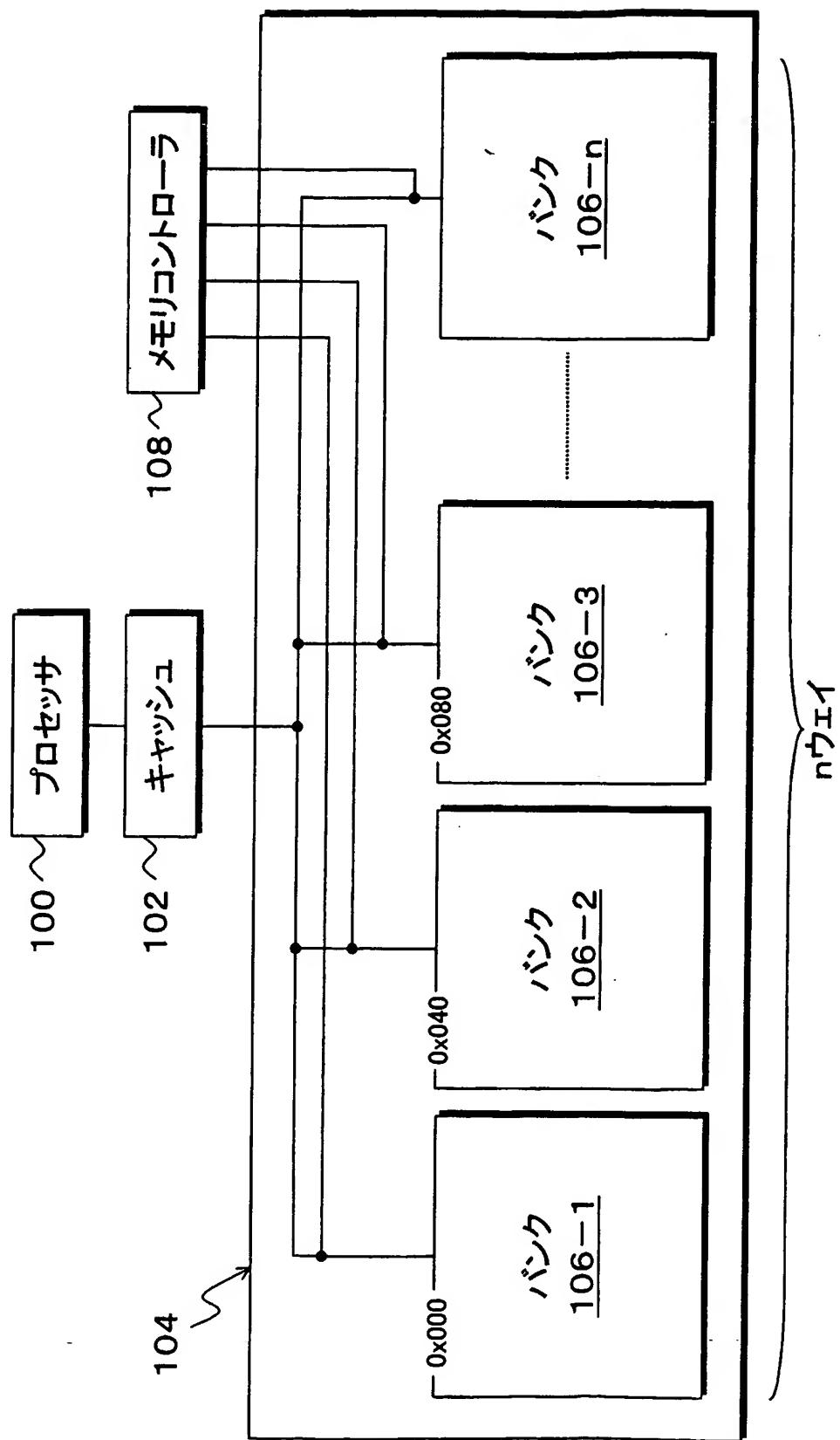


図2

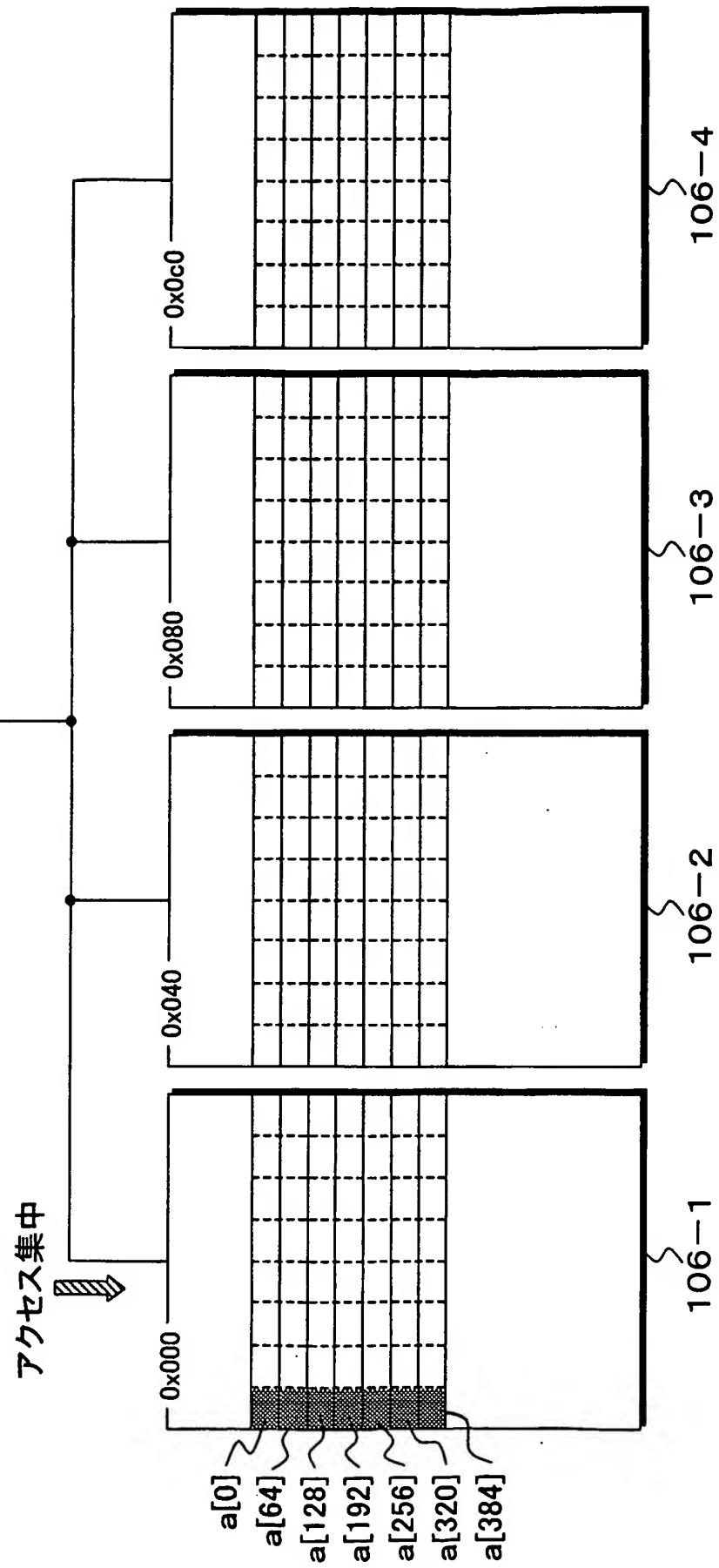


図3

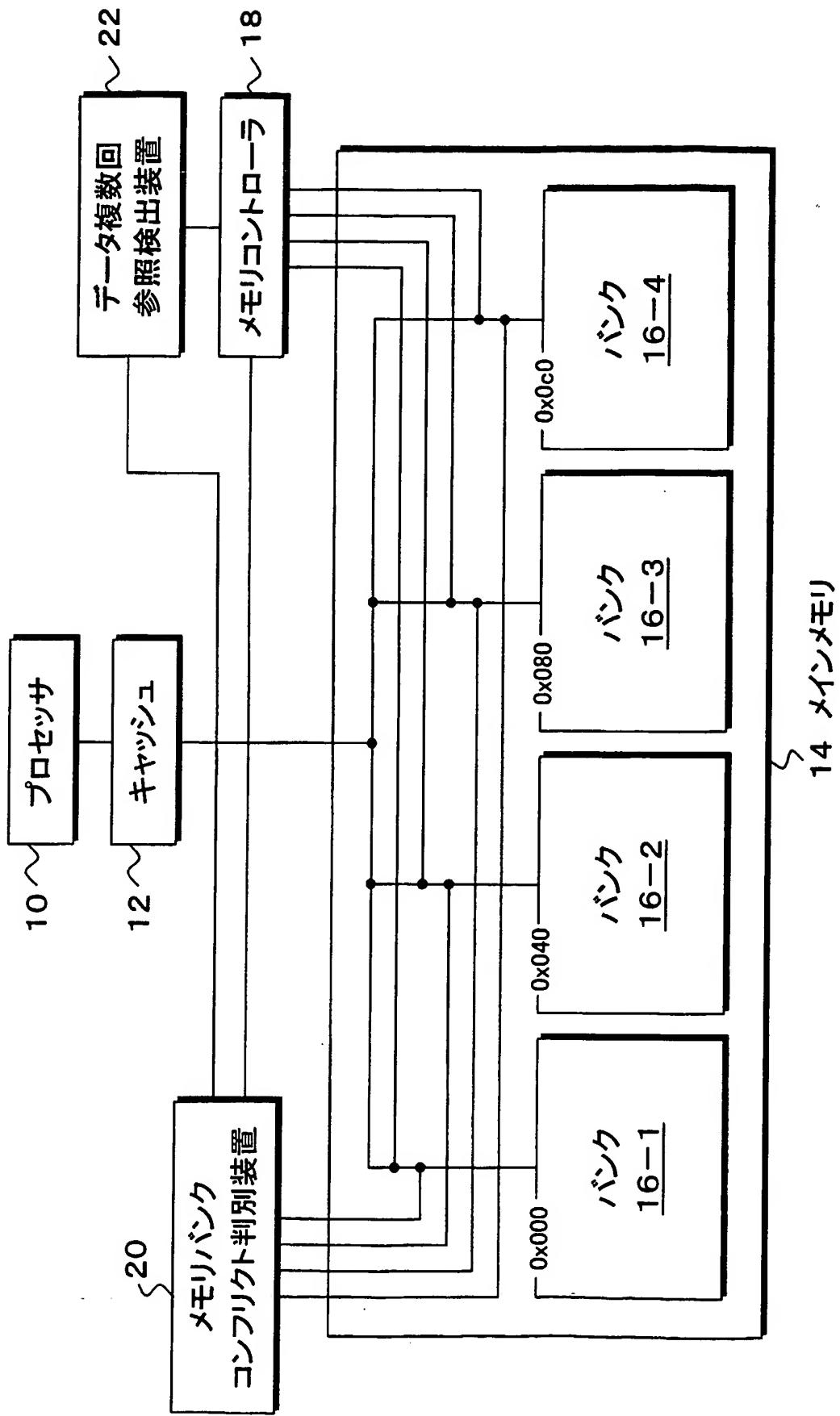


図4

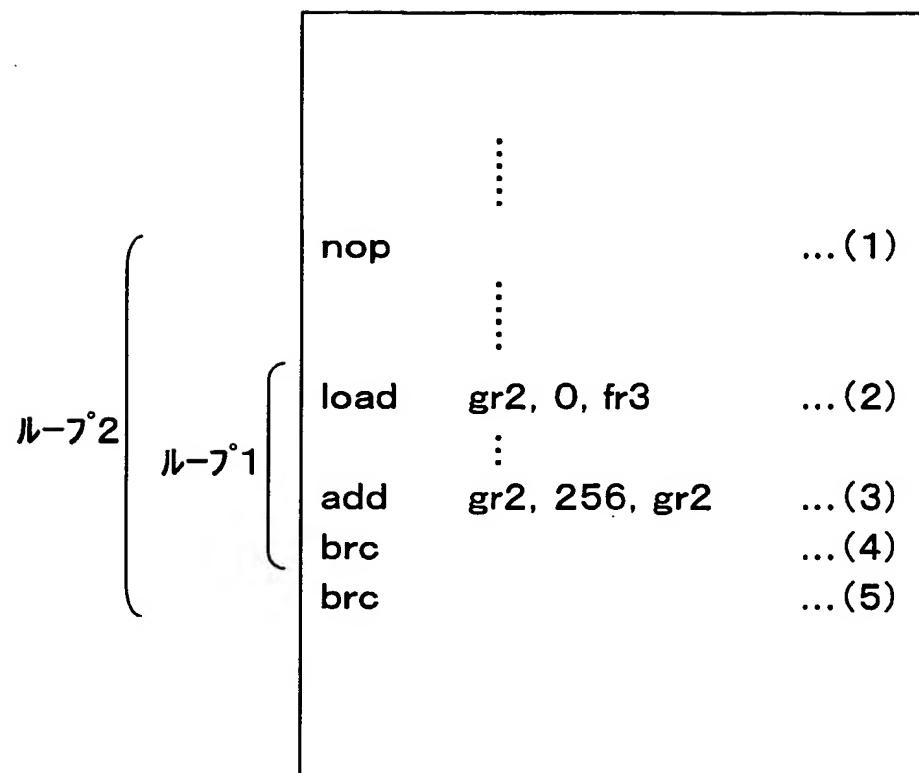


図5

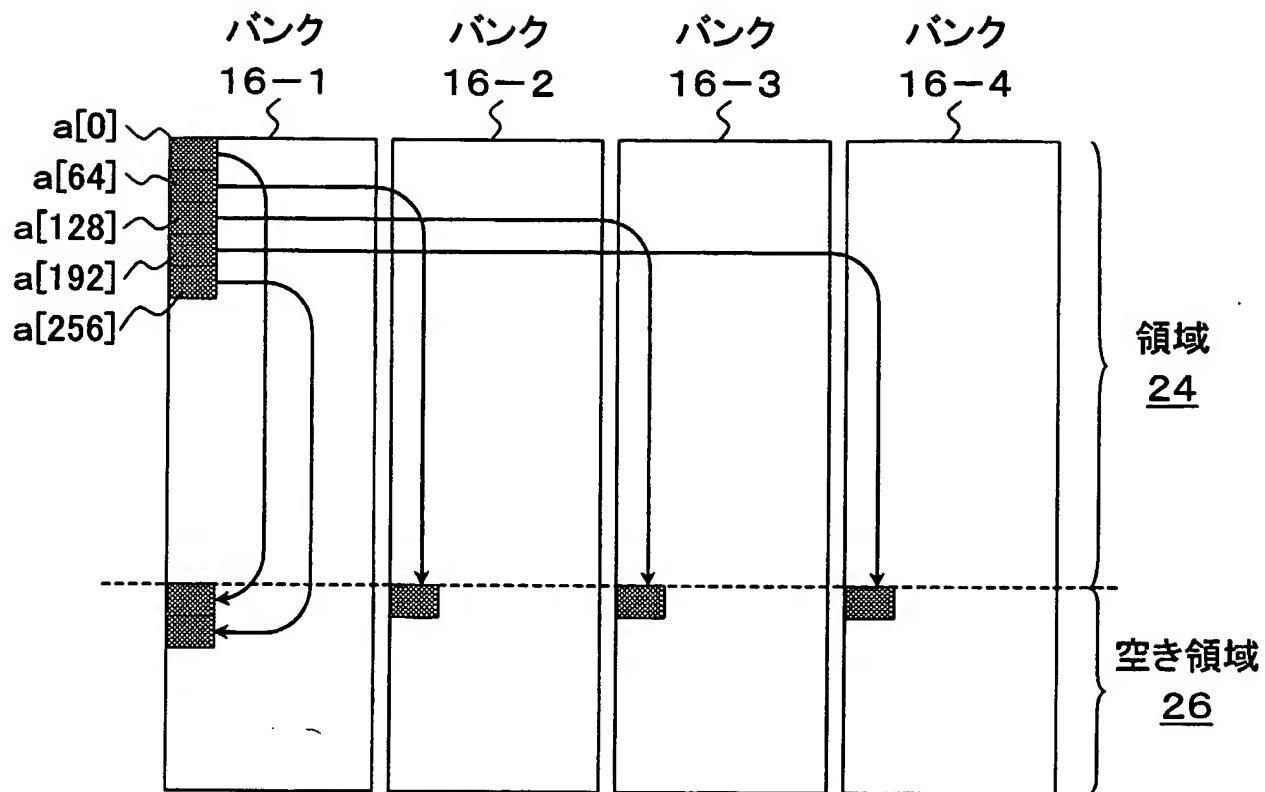


図6

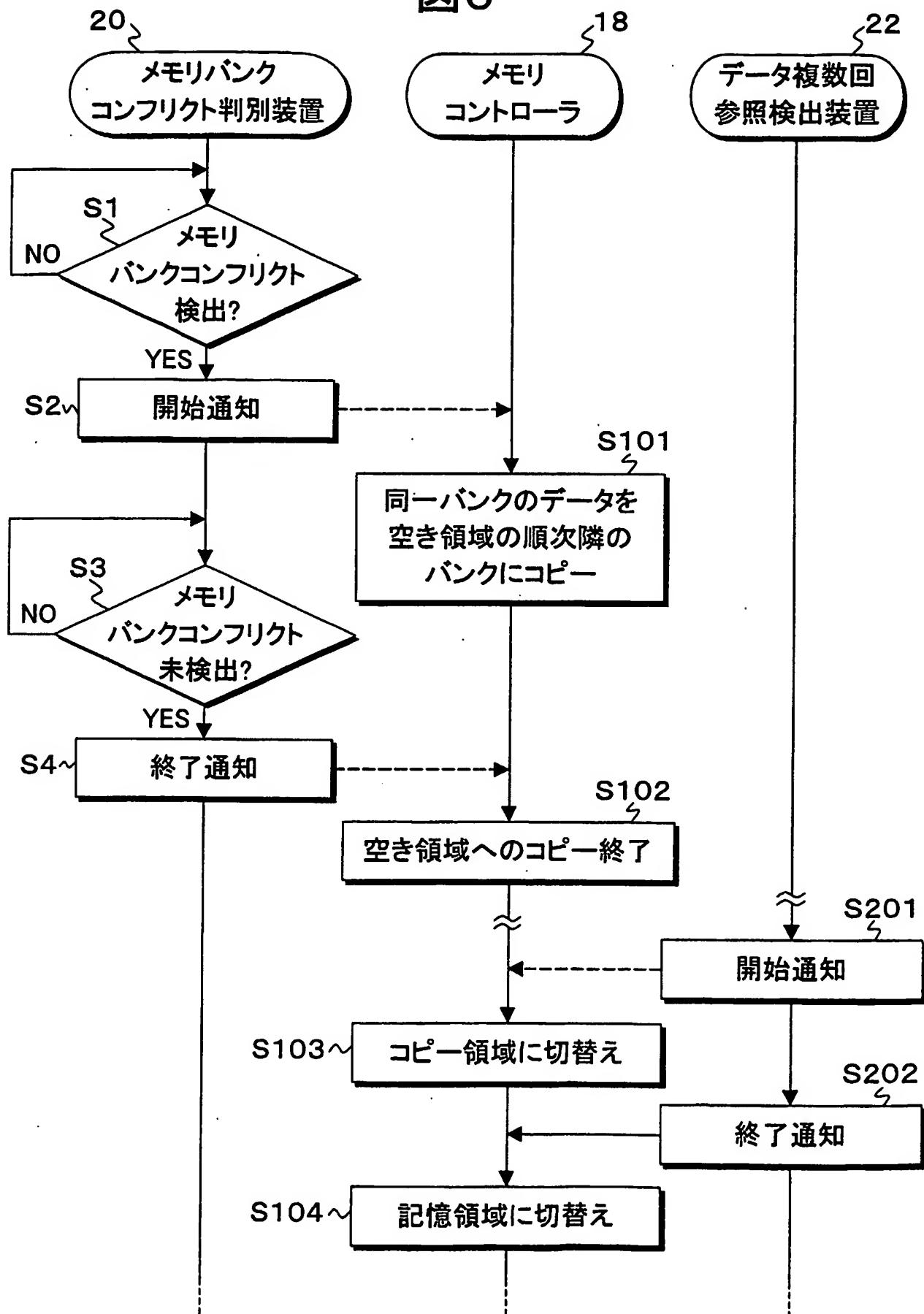


図7

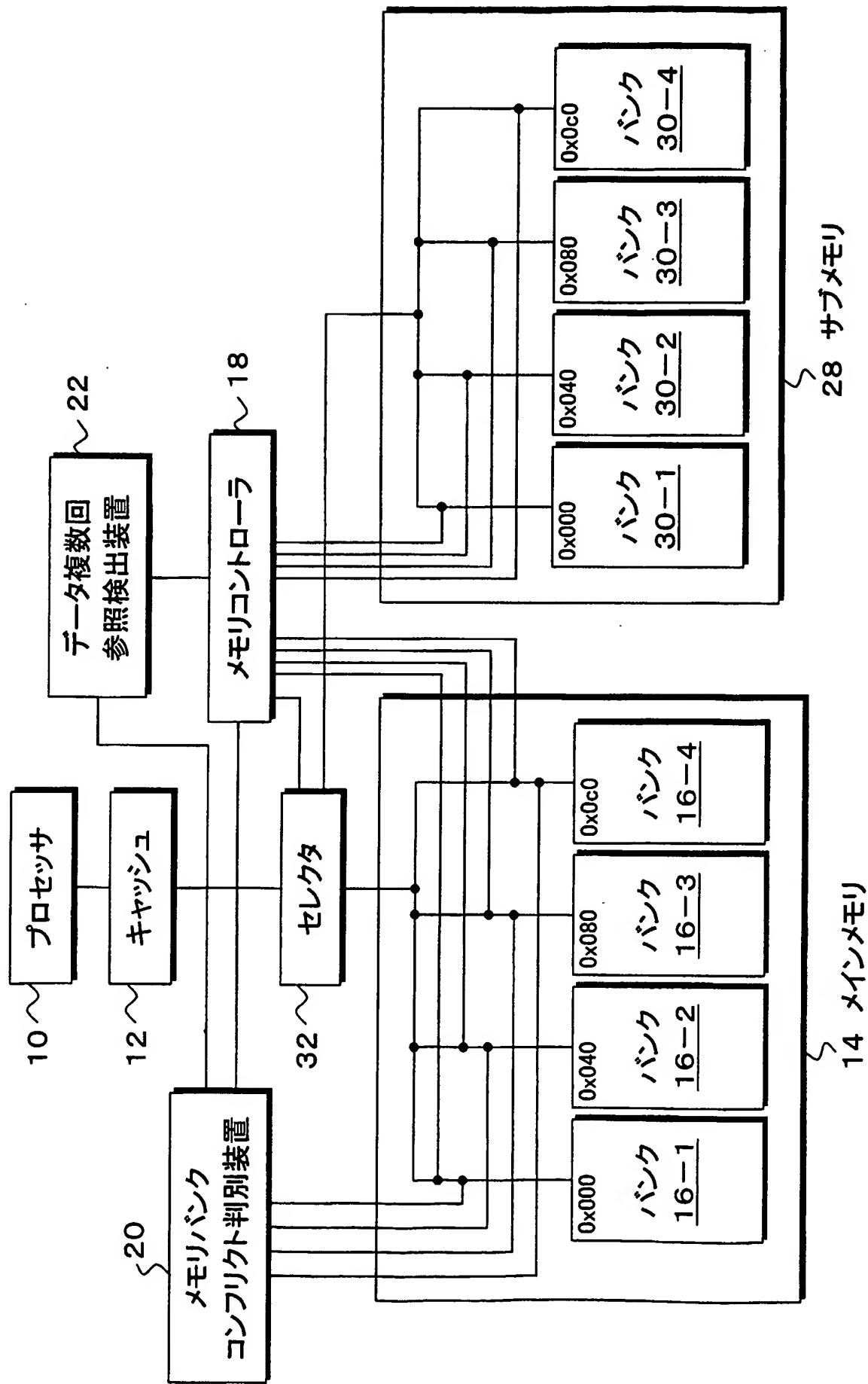


図8

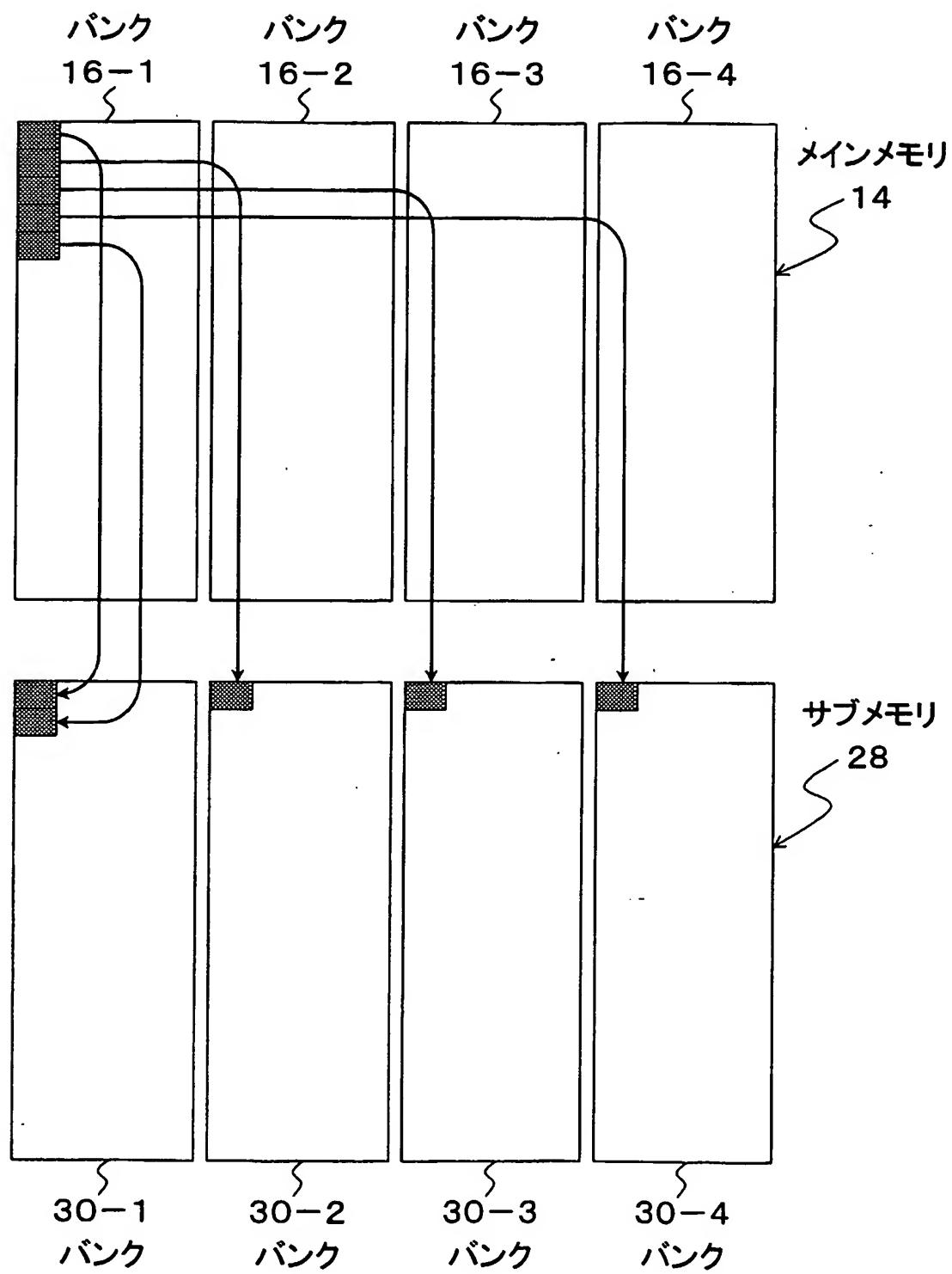


図9

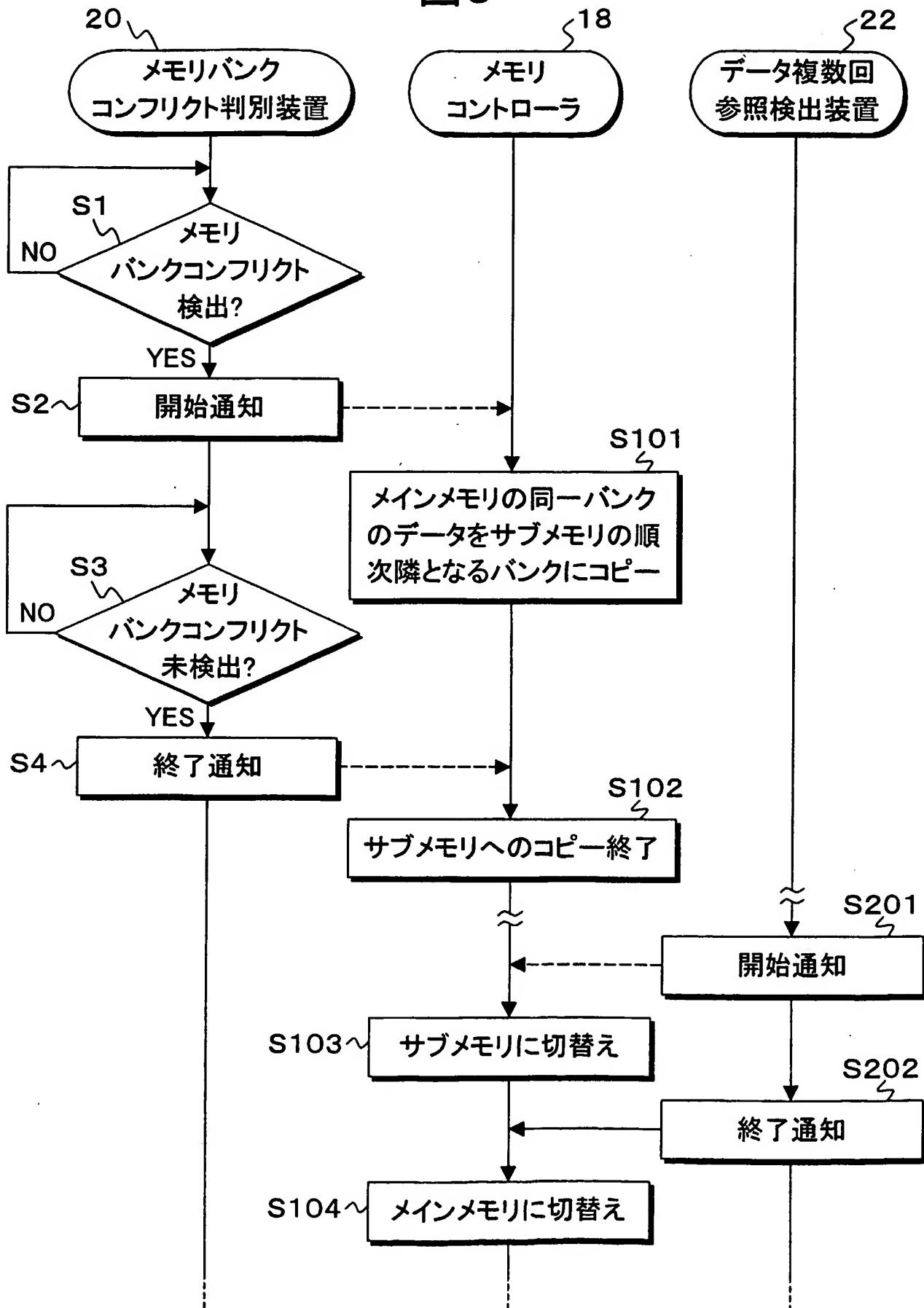


図10

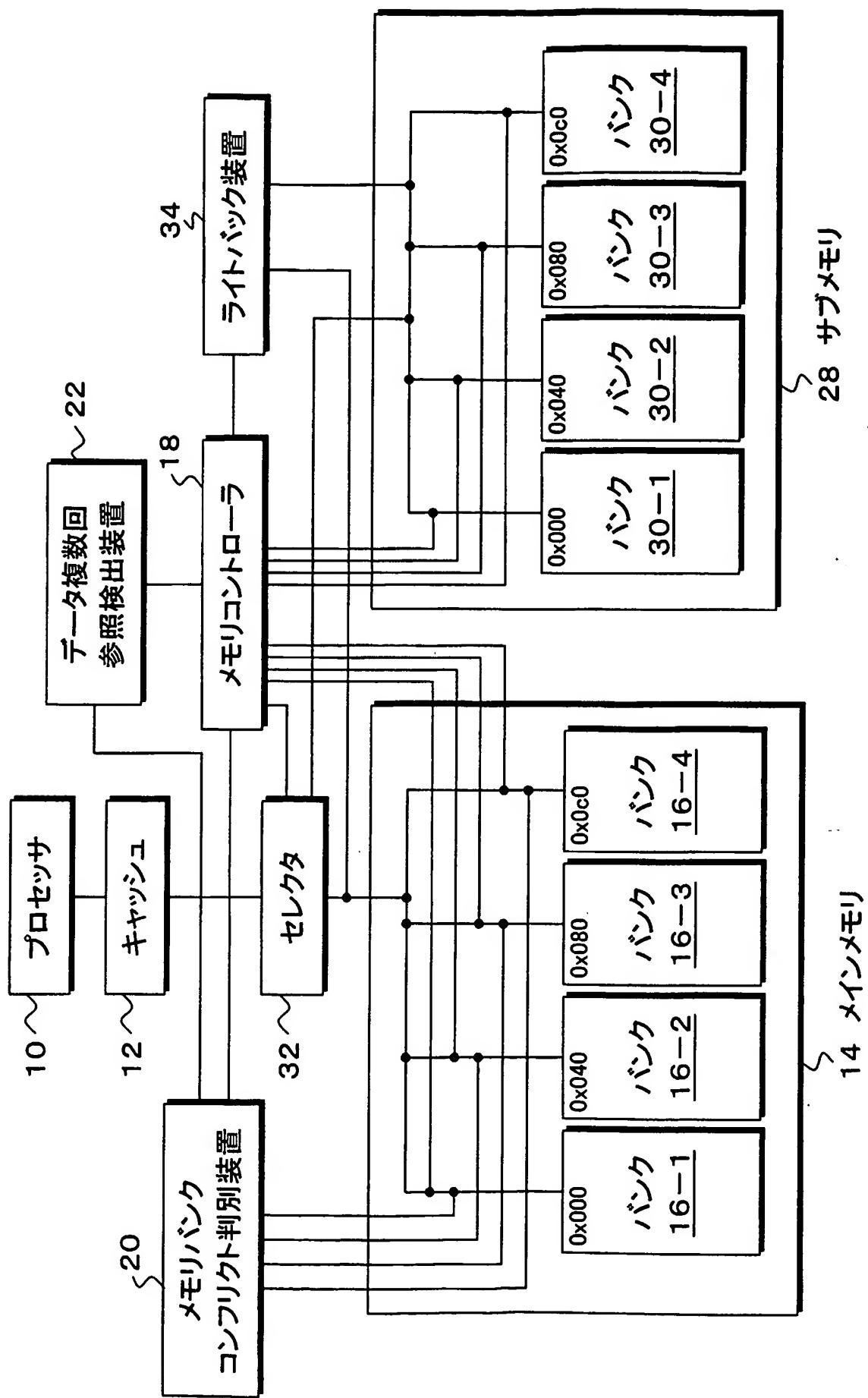


図 11

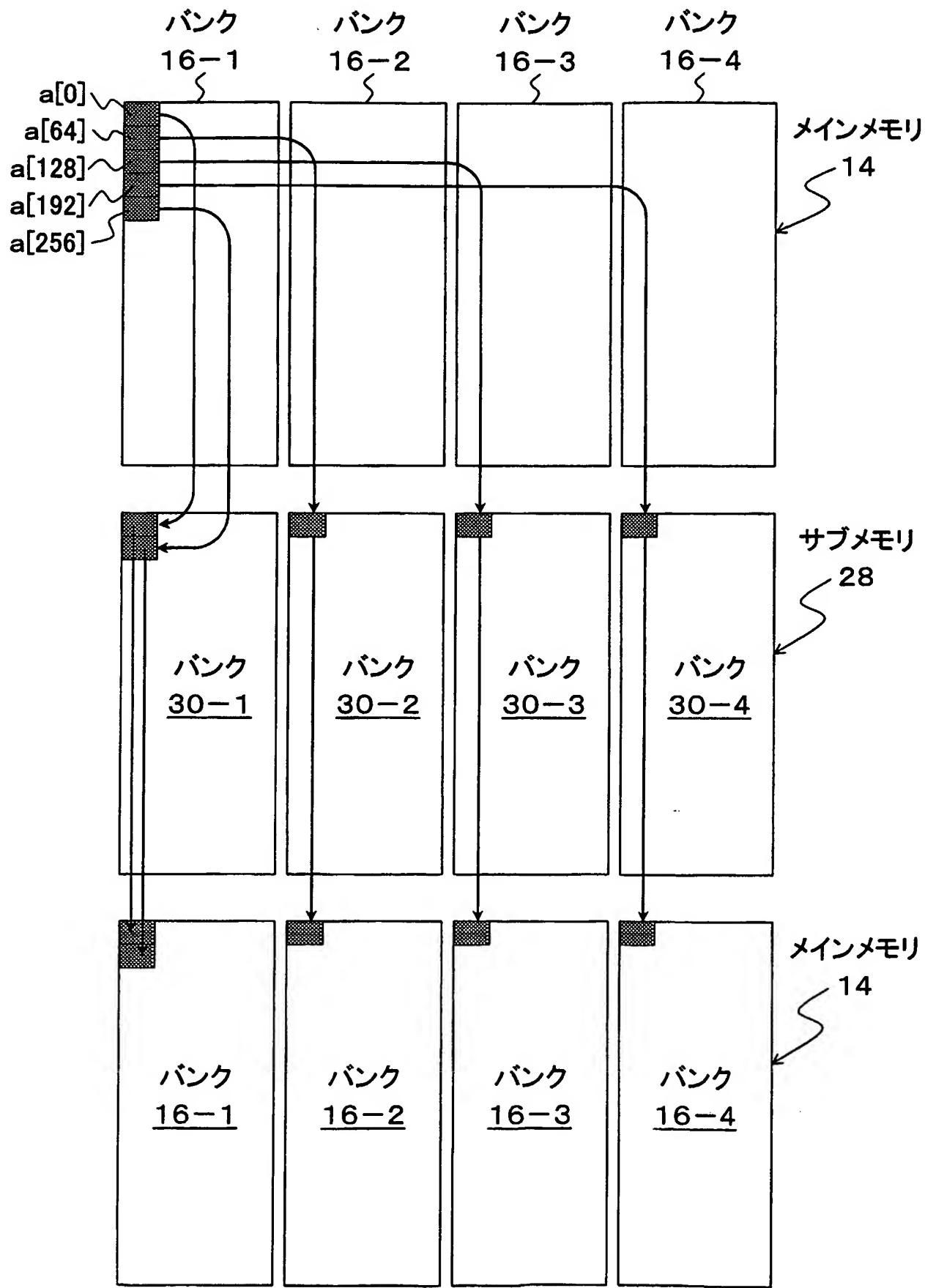


図 12

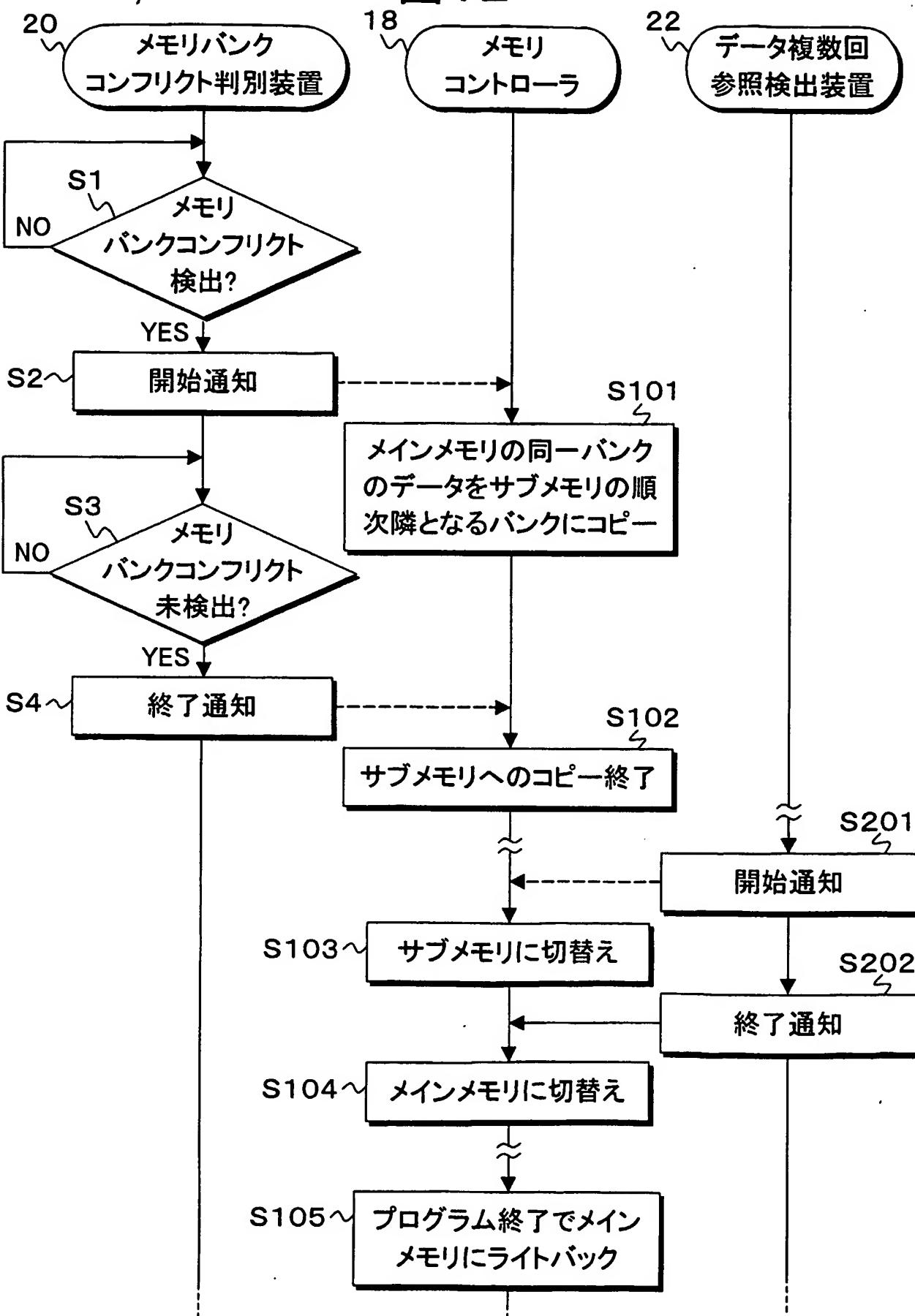


図13

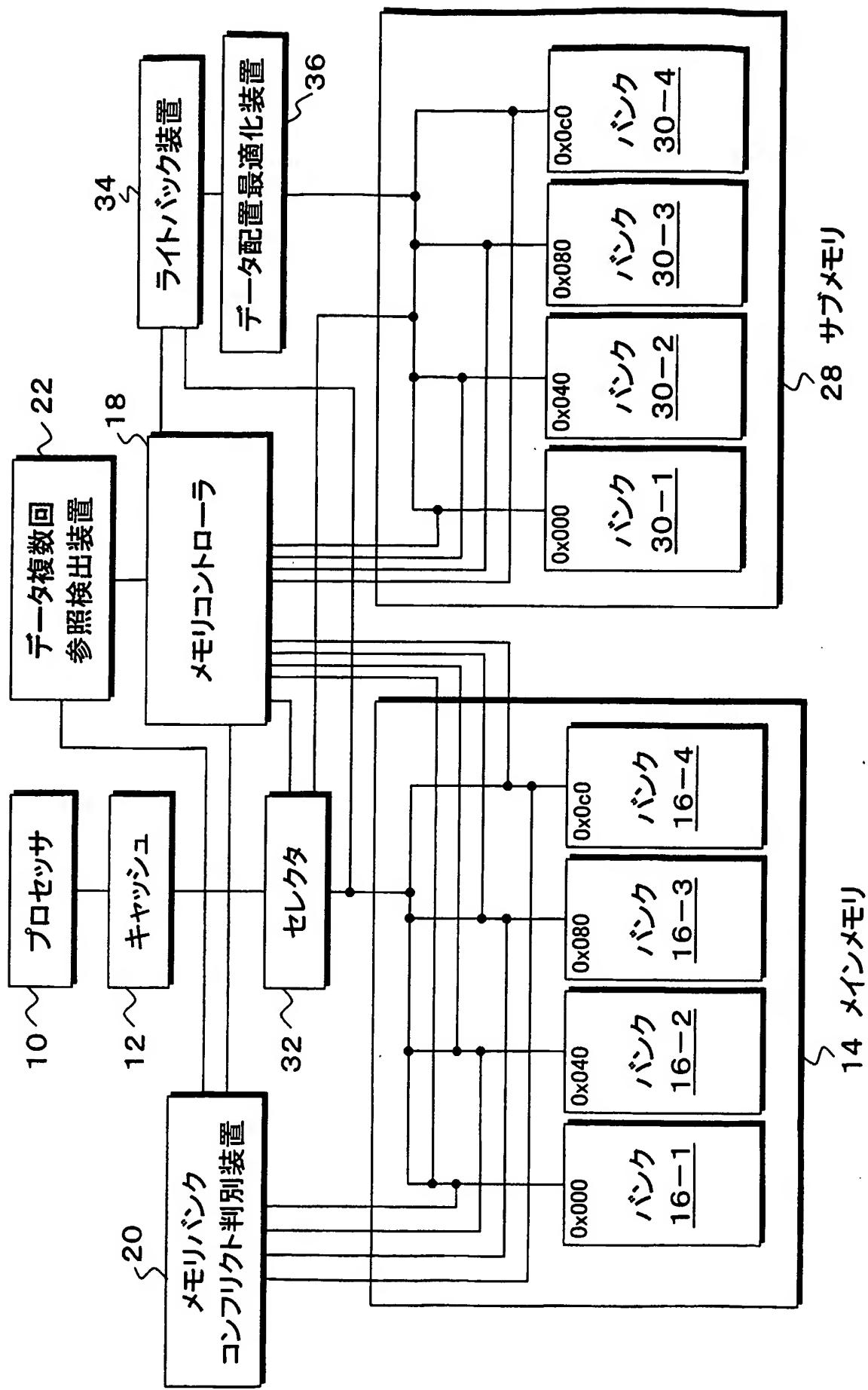


図14

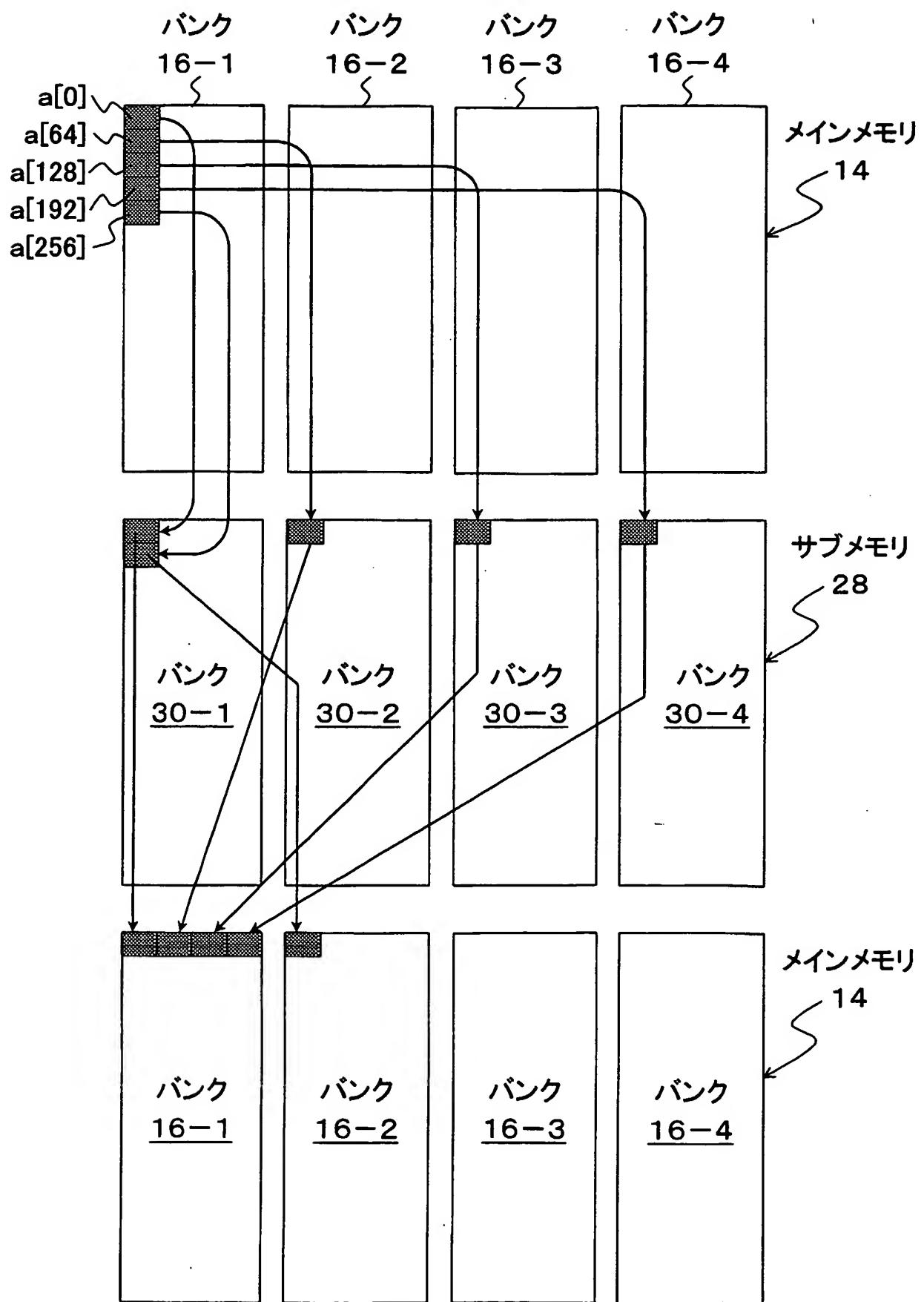
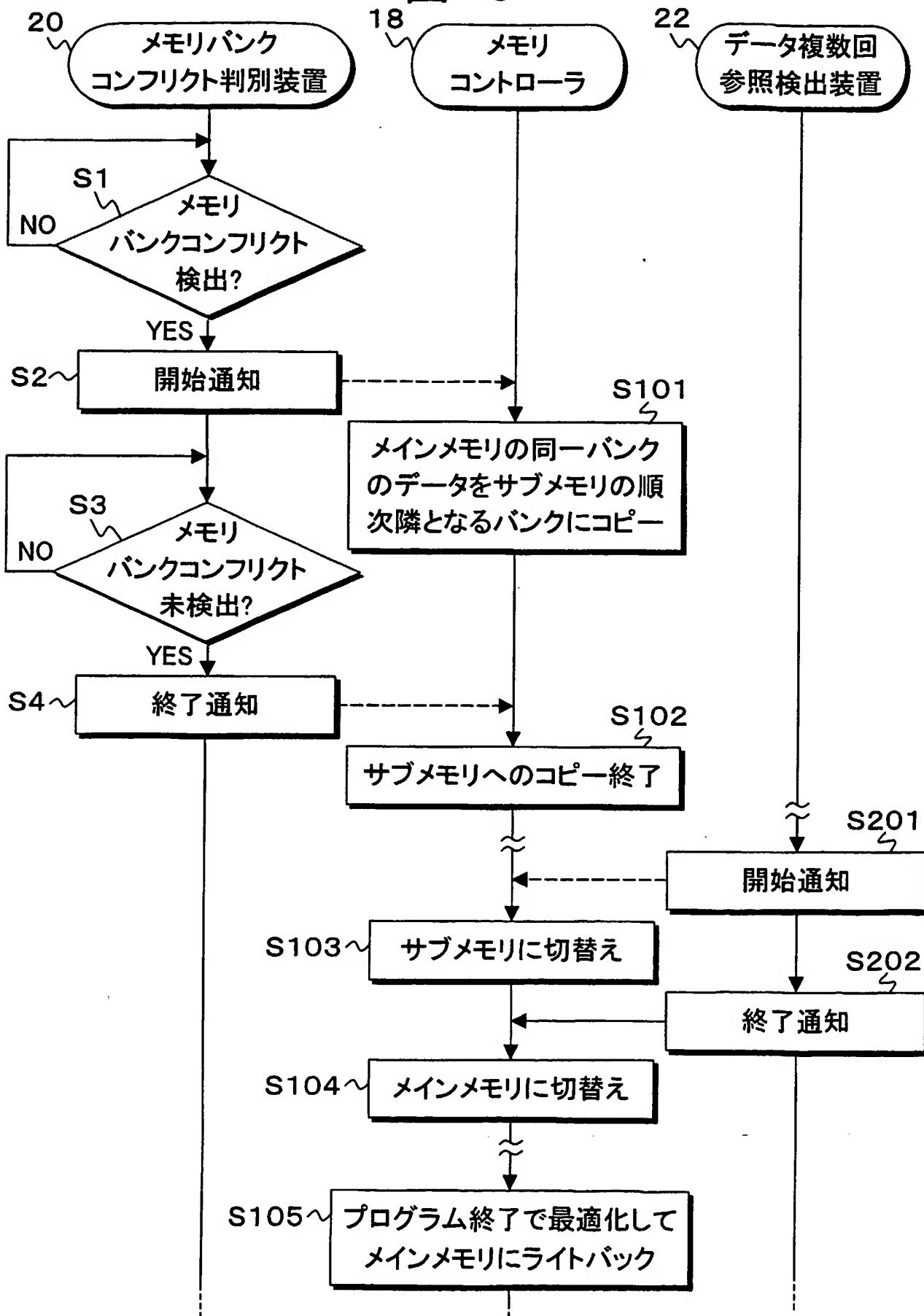


図15



16

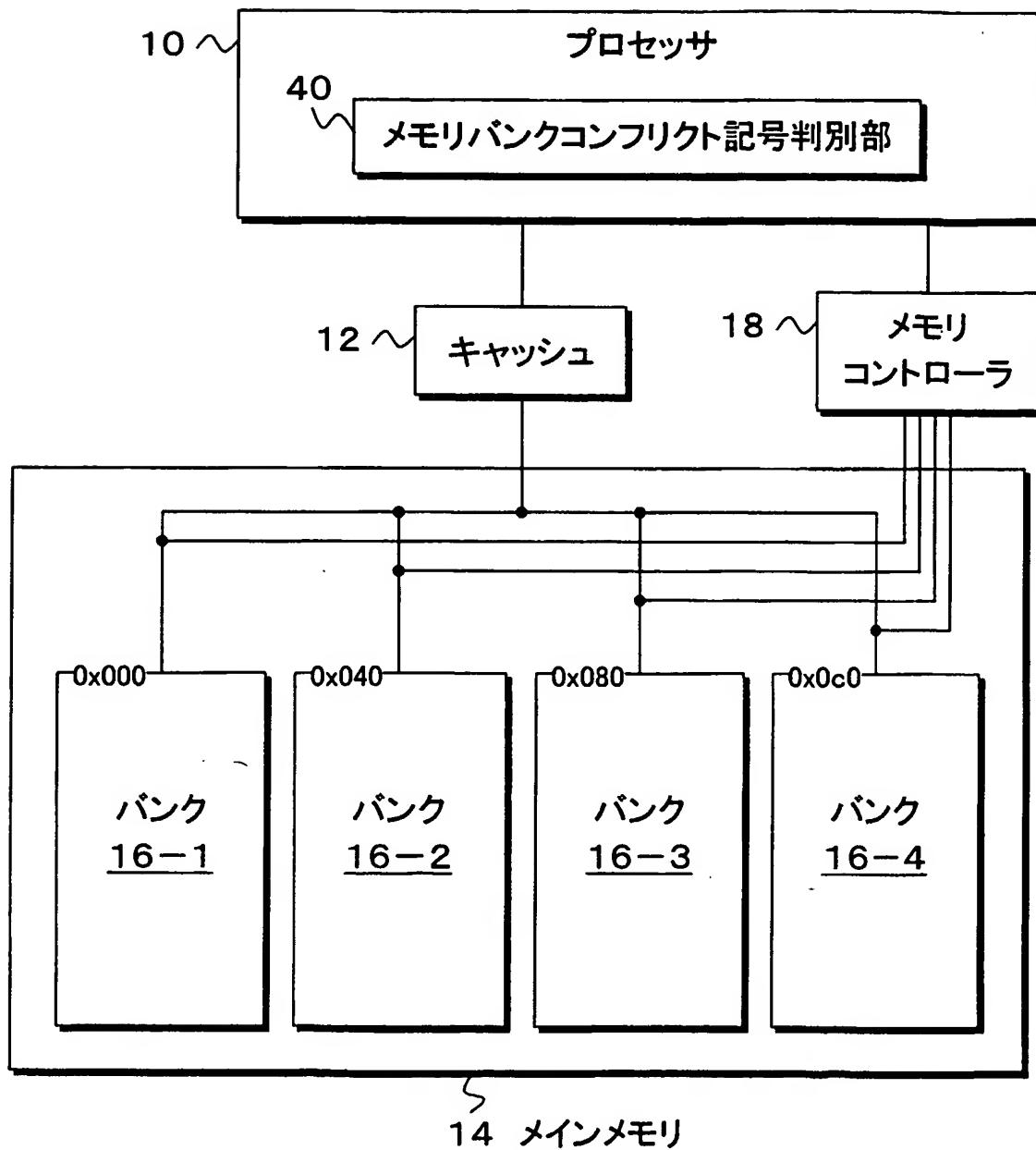


図17

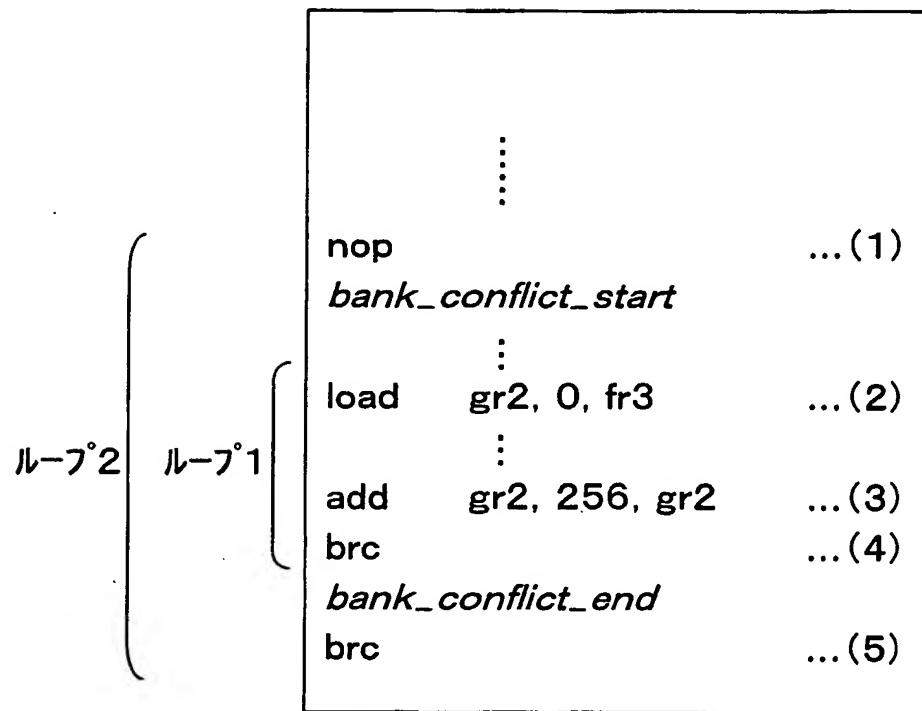


図18

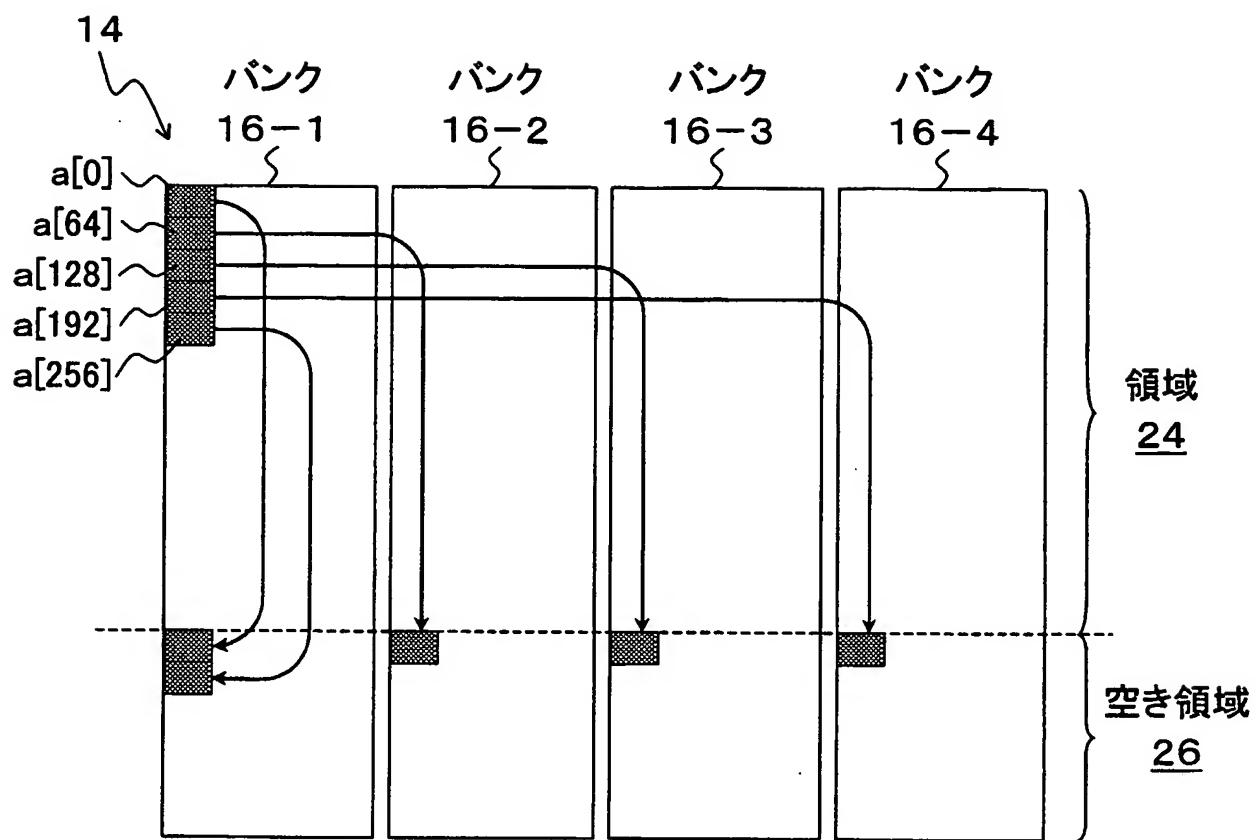


図19

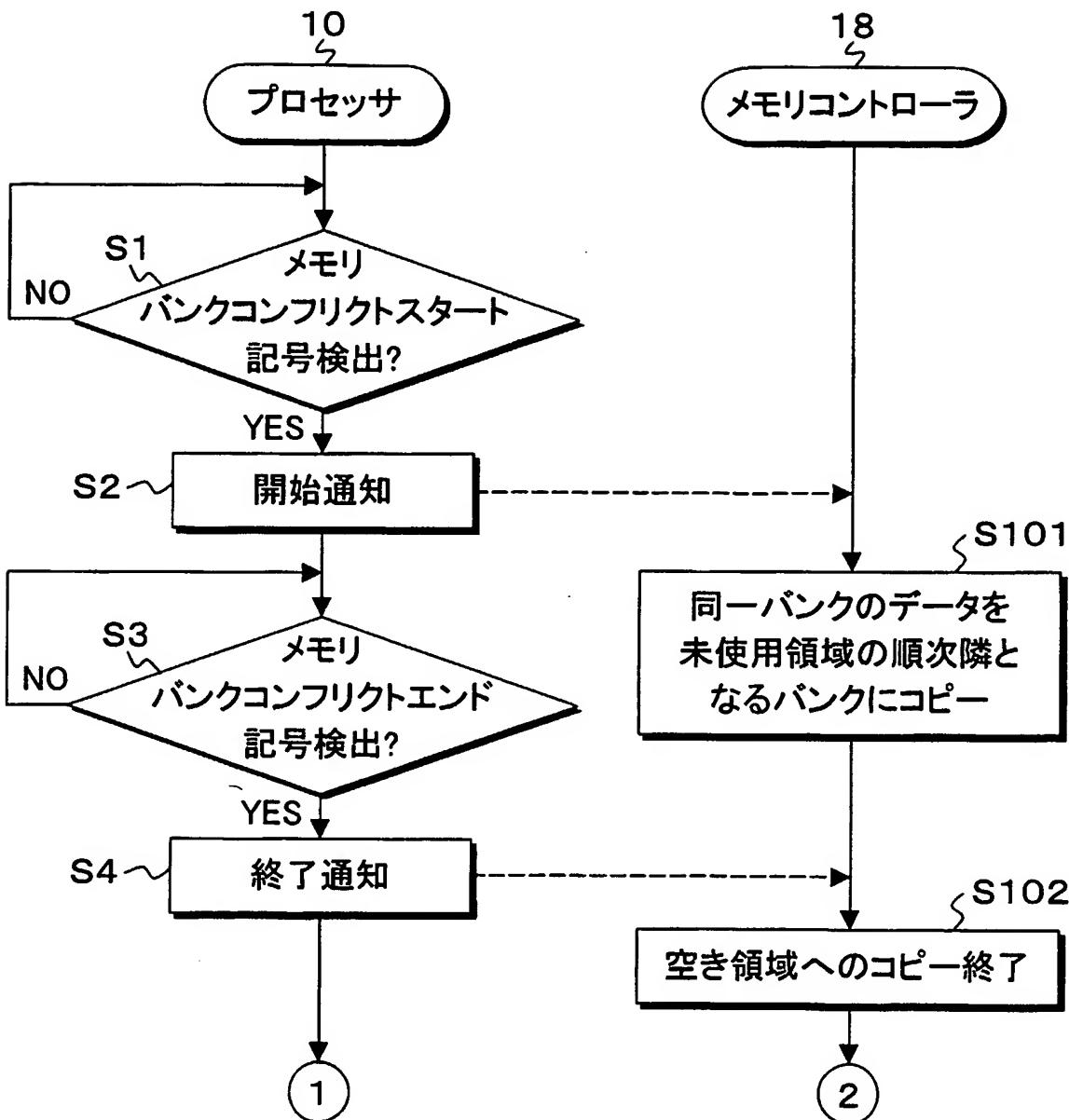


図20

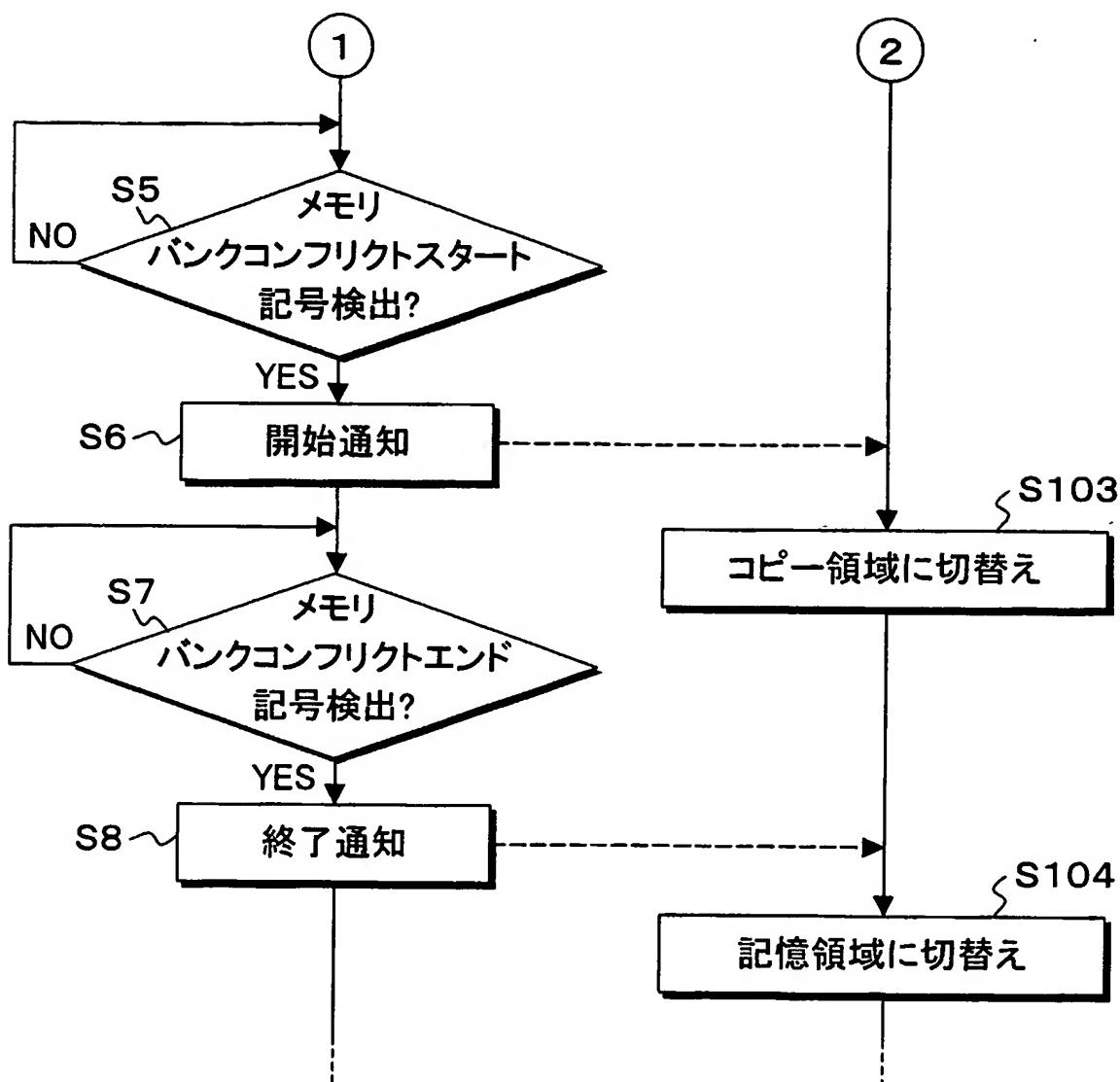


図21

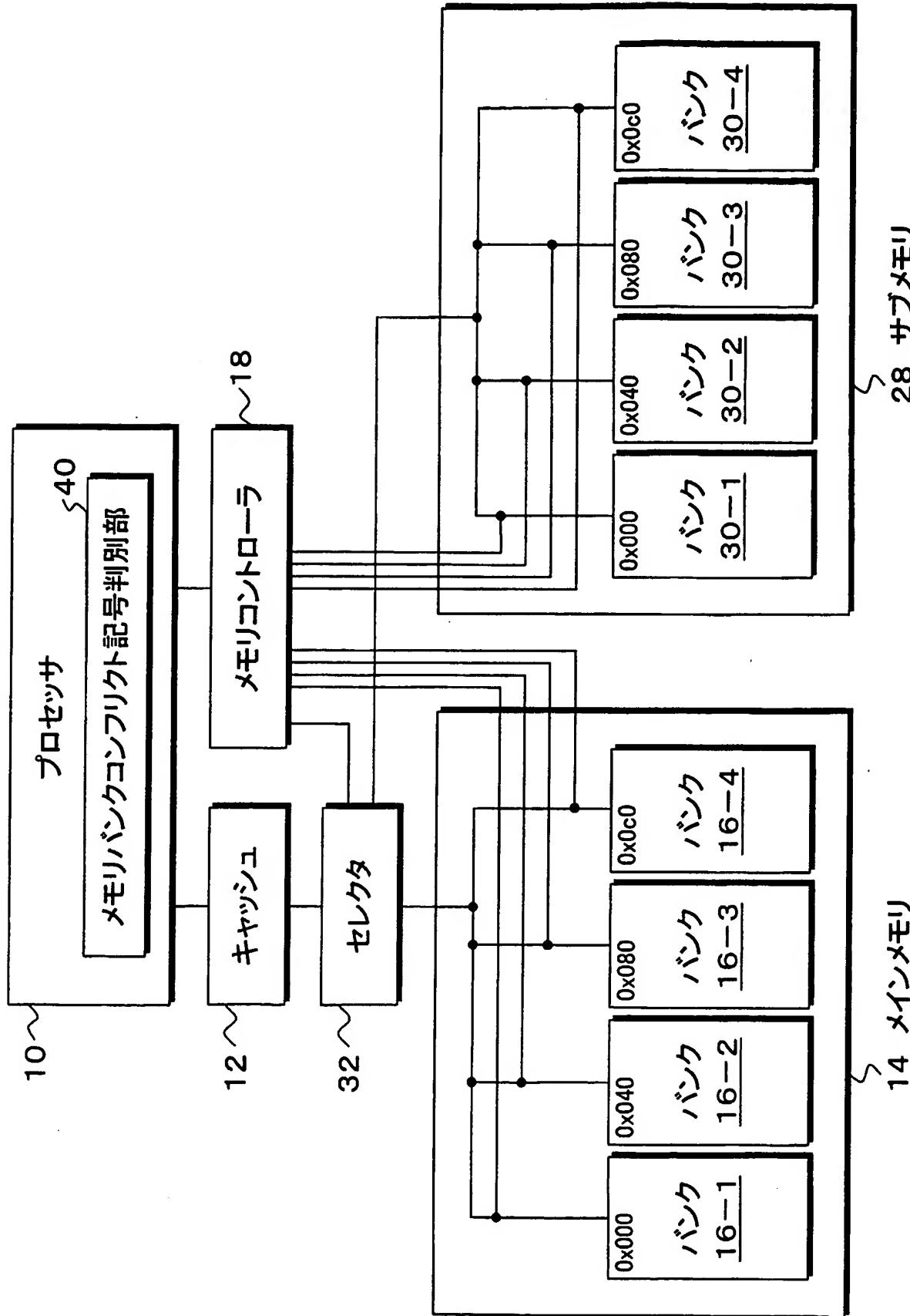


図22

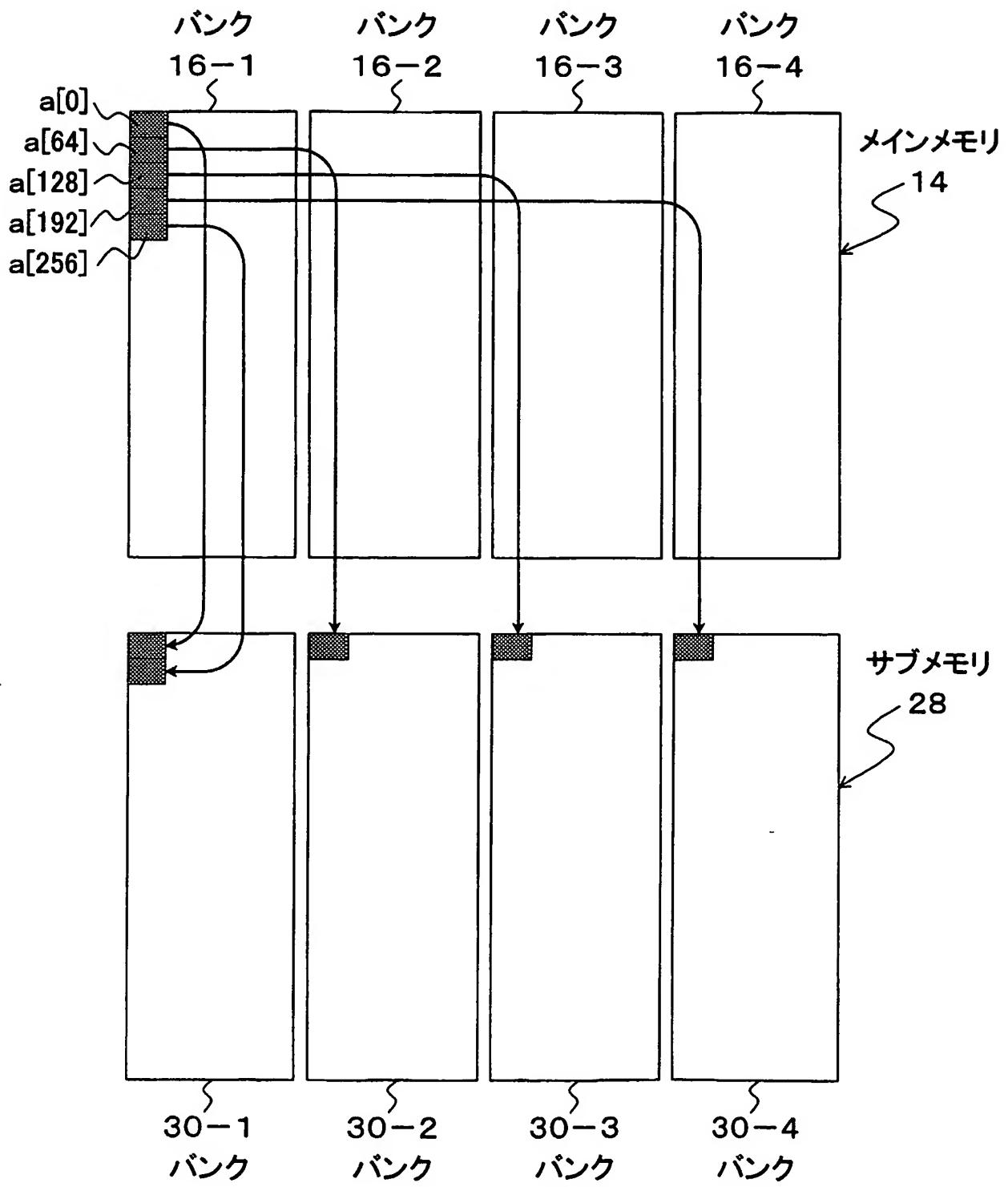


図23

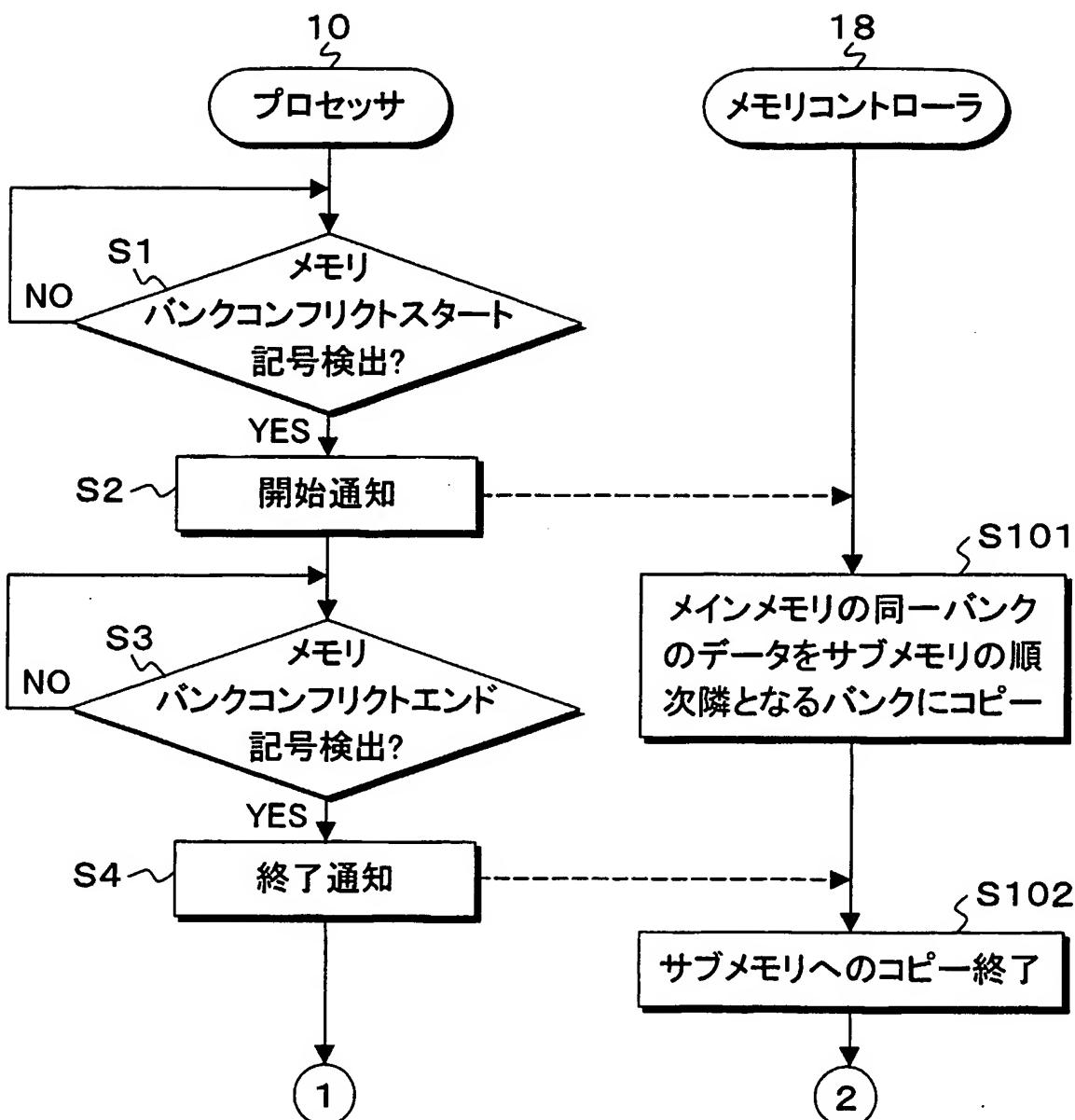


図24

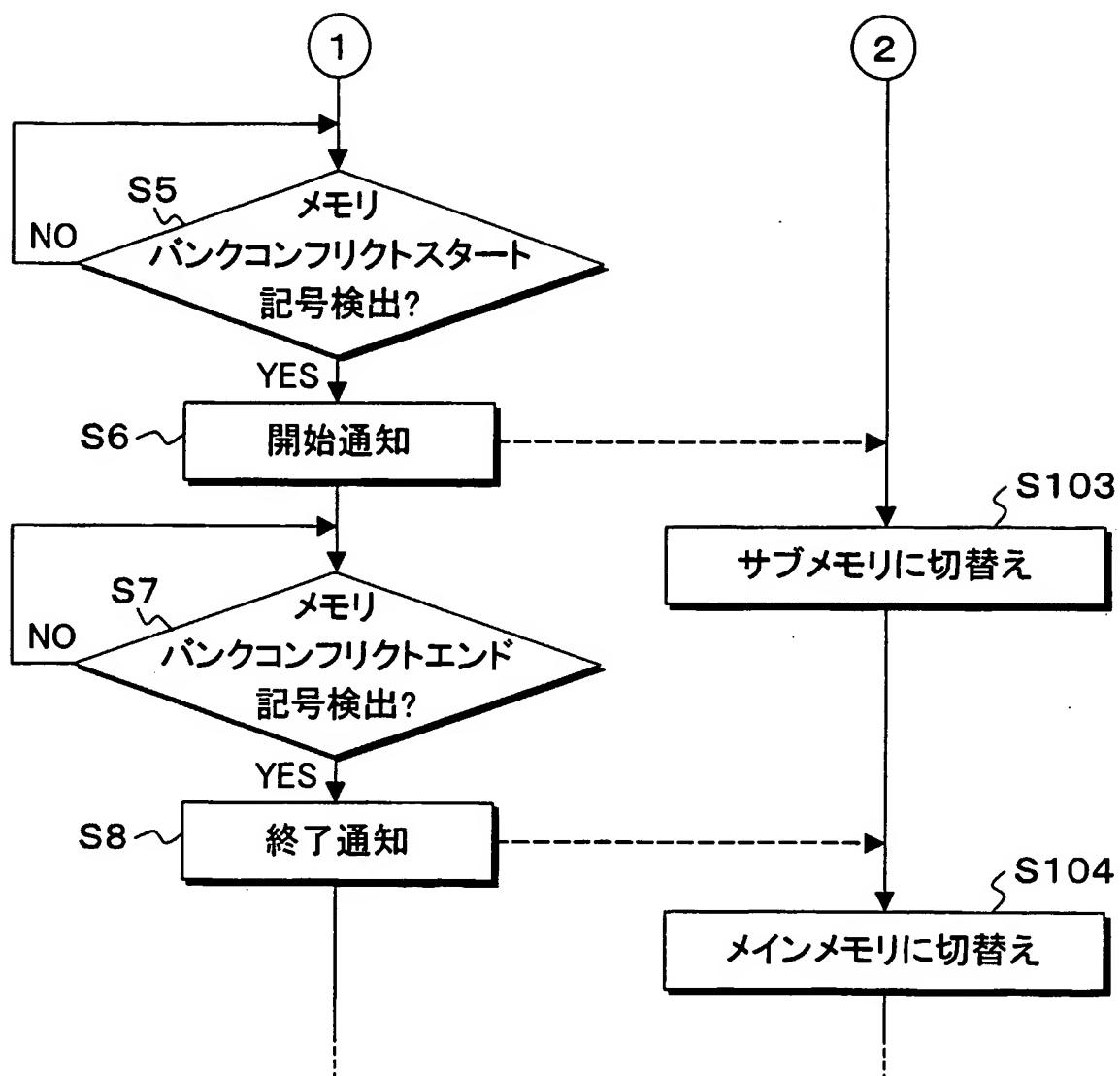


図25

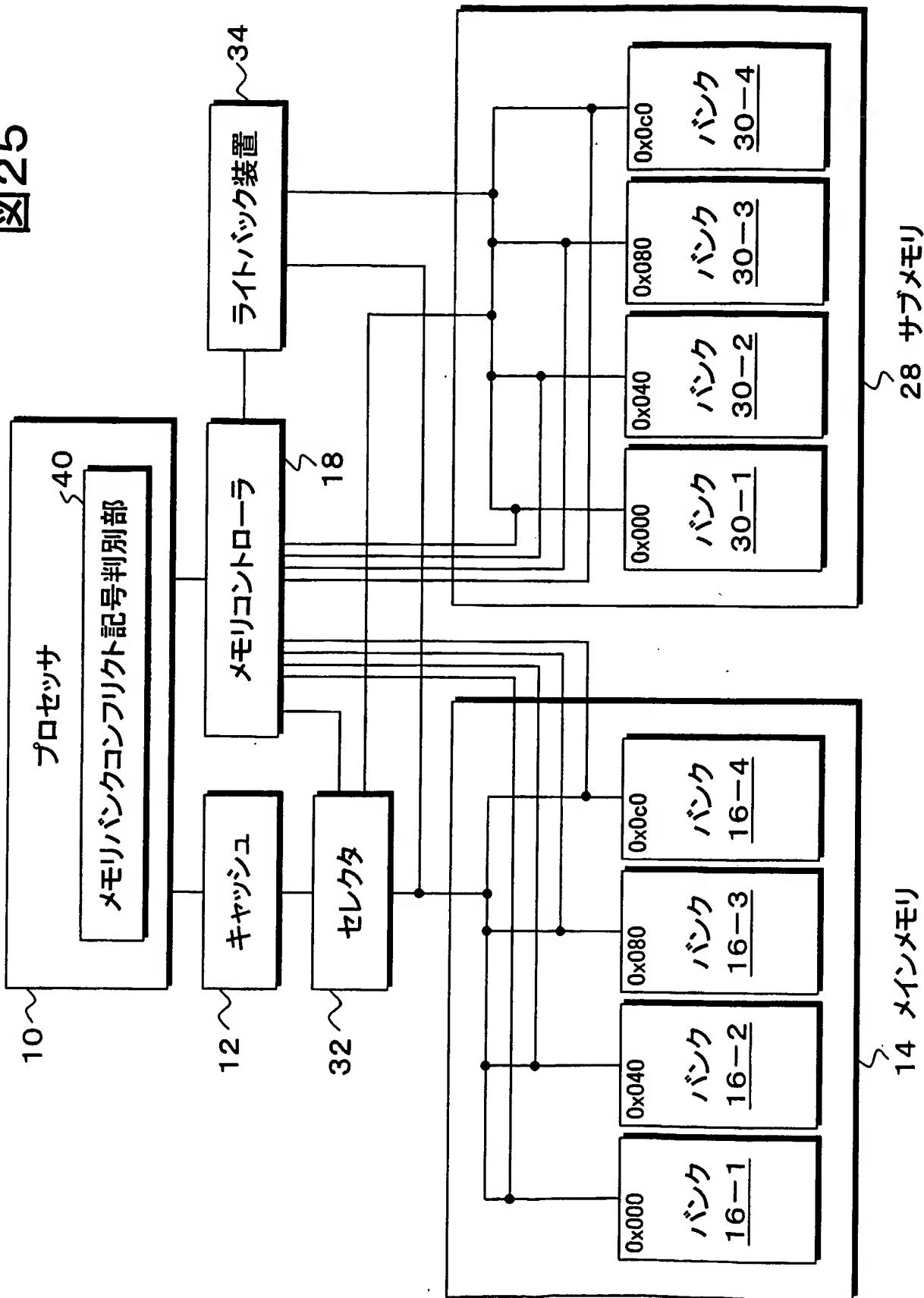


図26

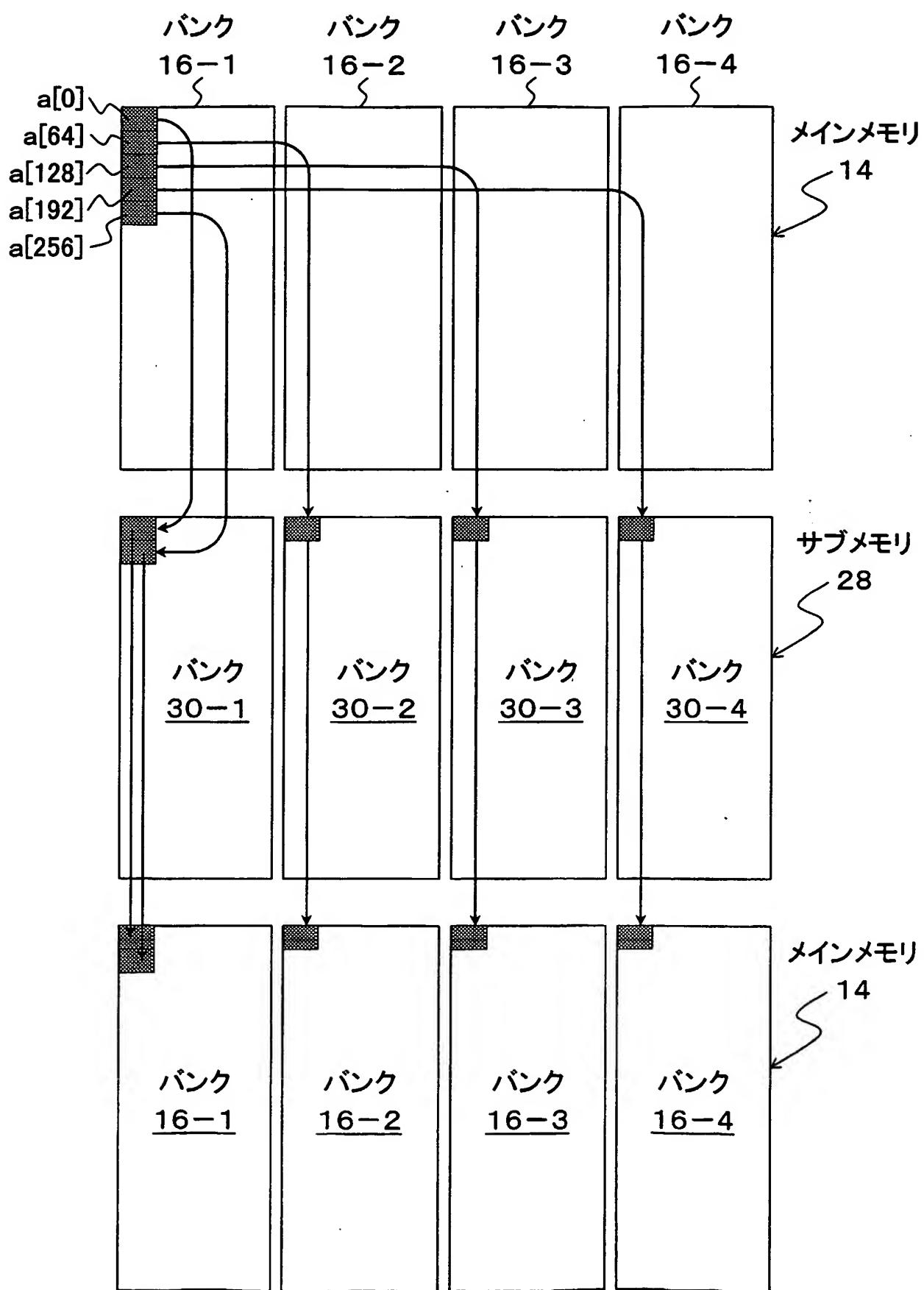


図27

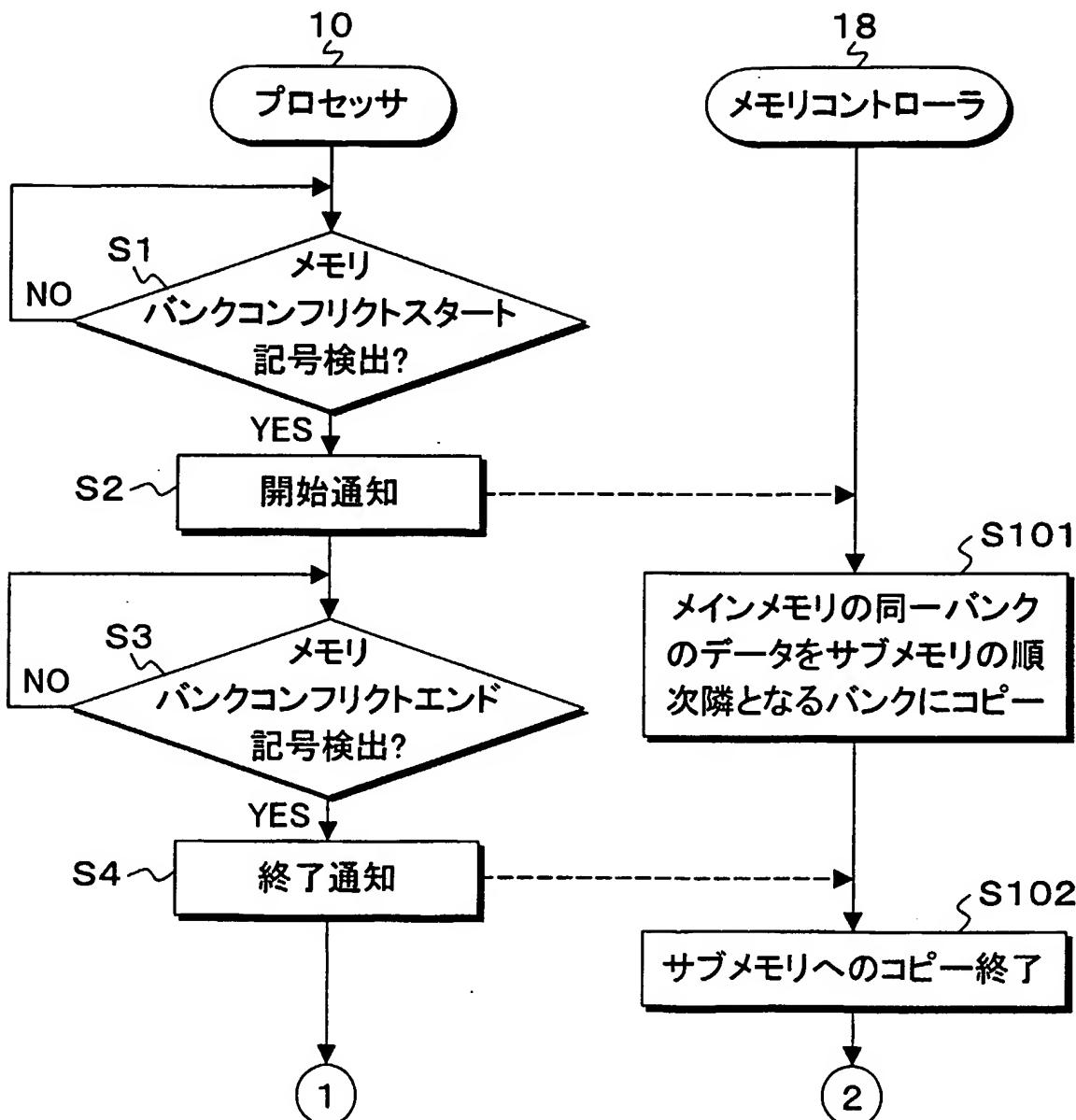


図28

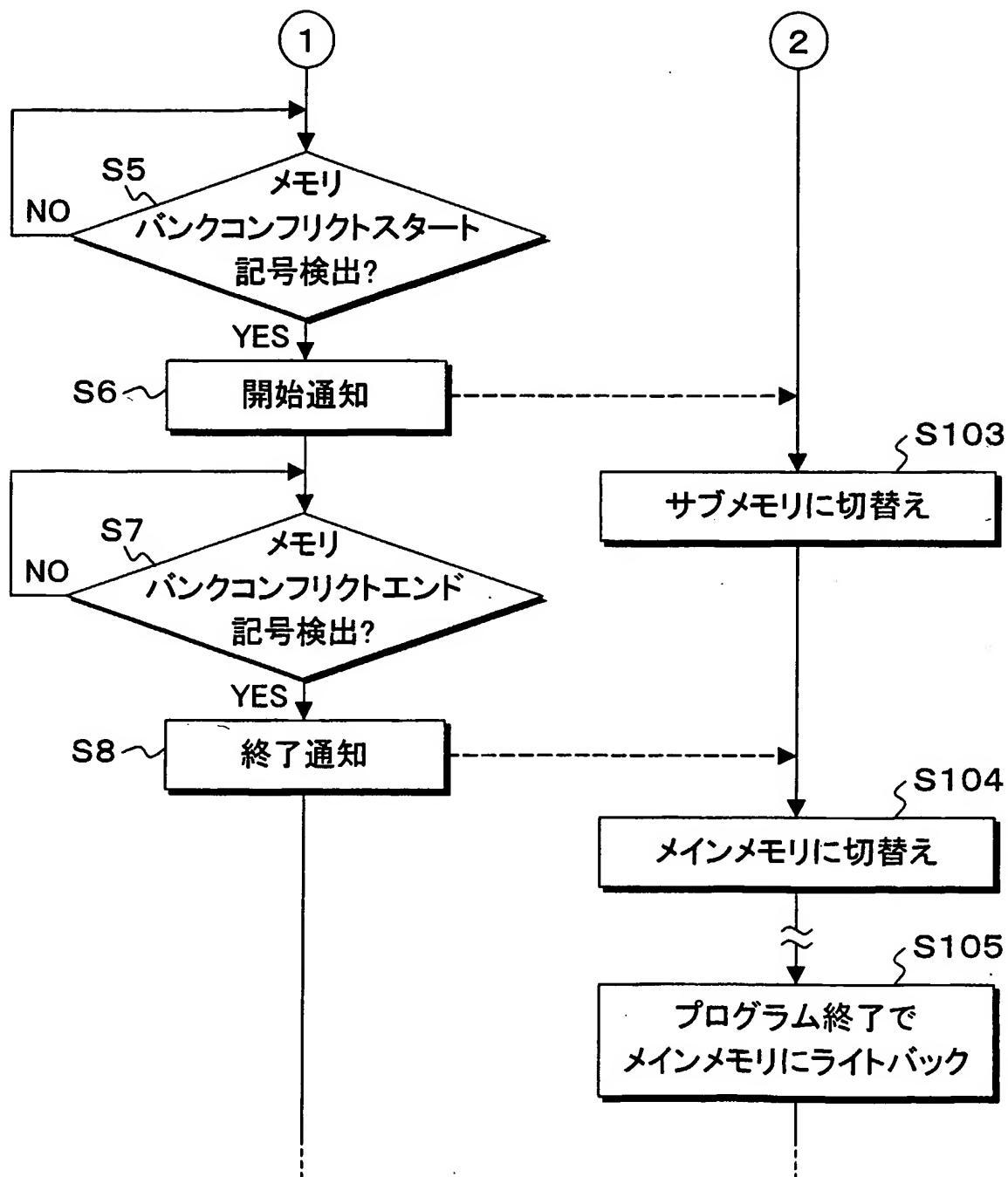


図29

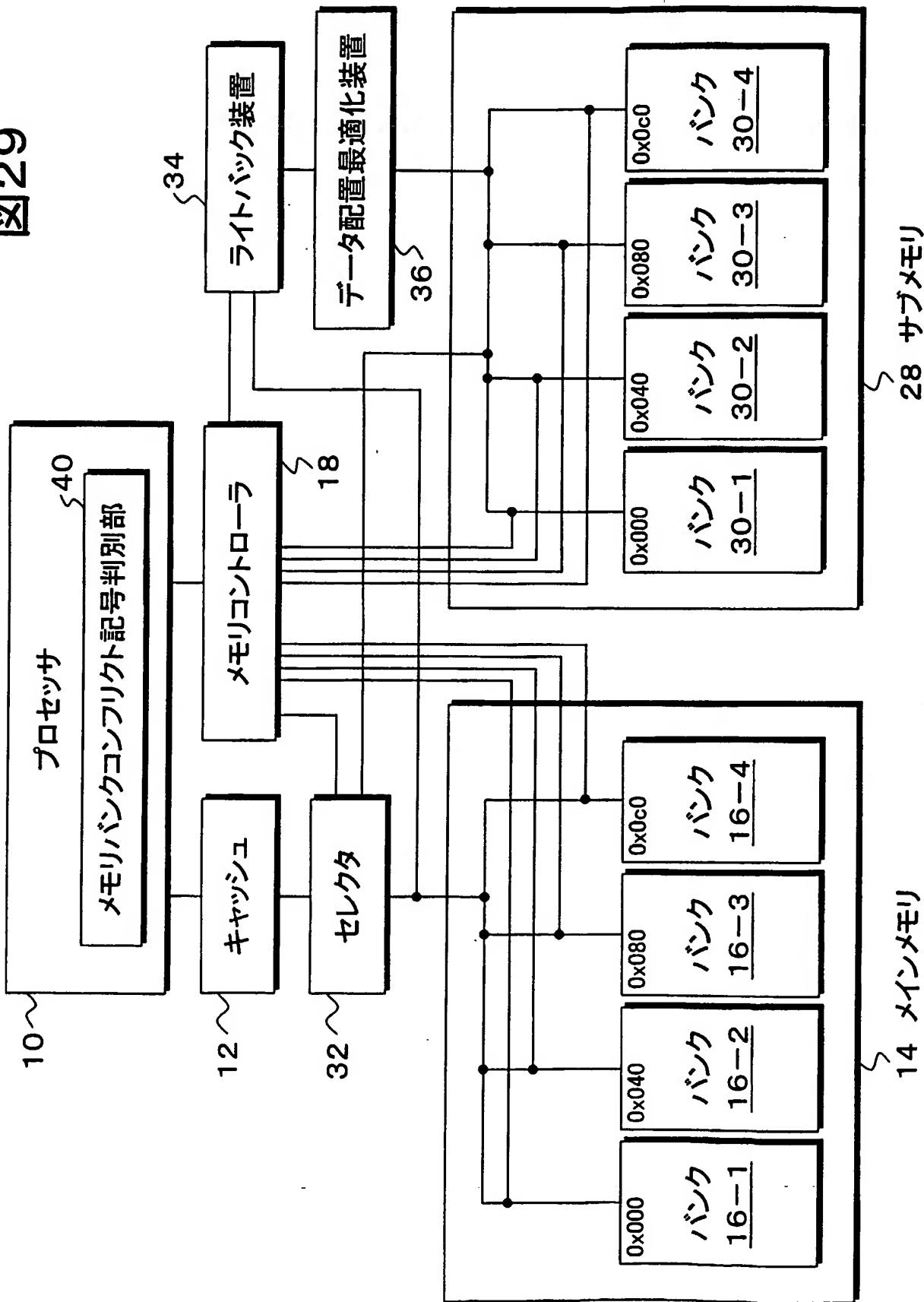


図30

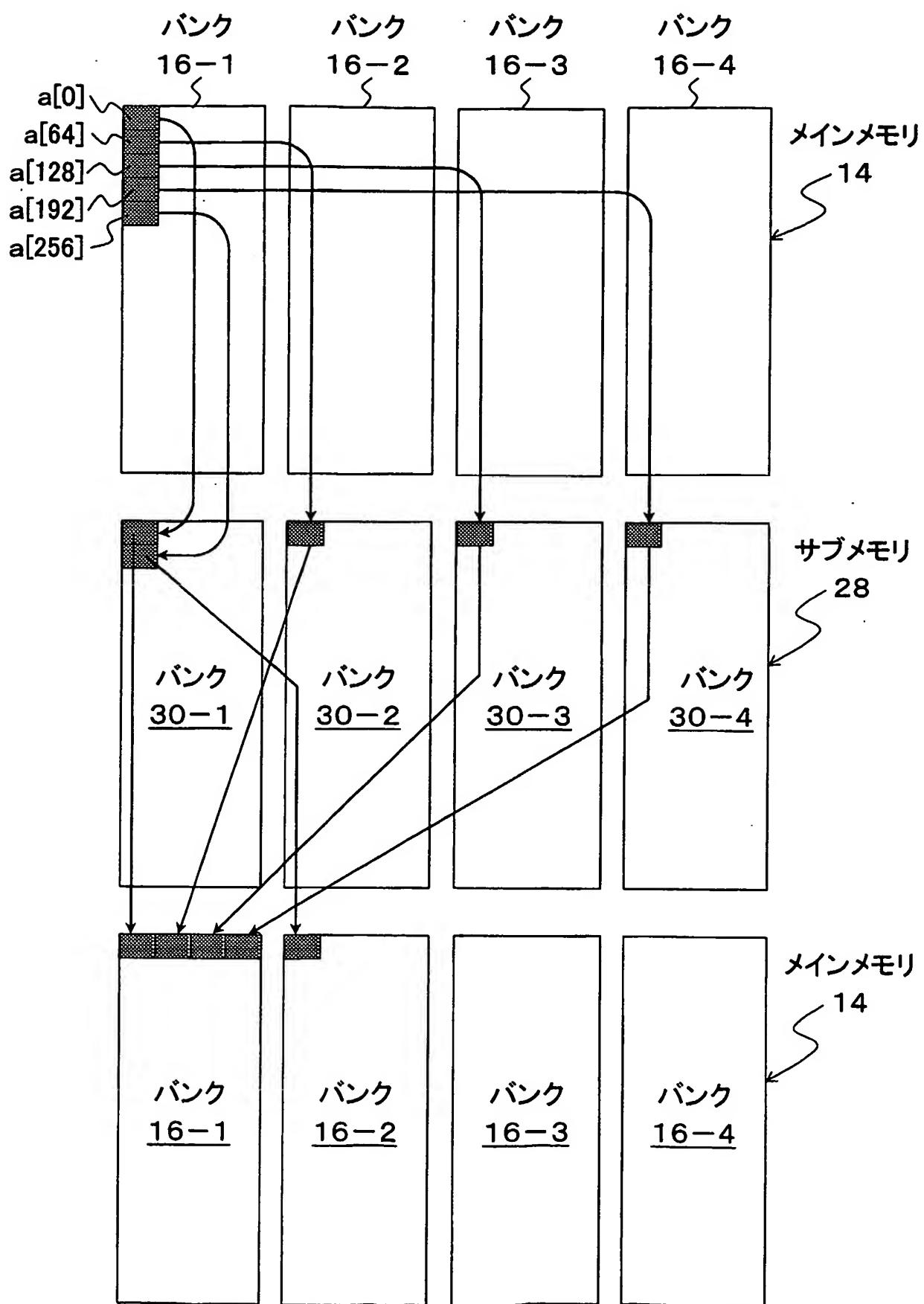


図31

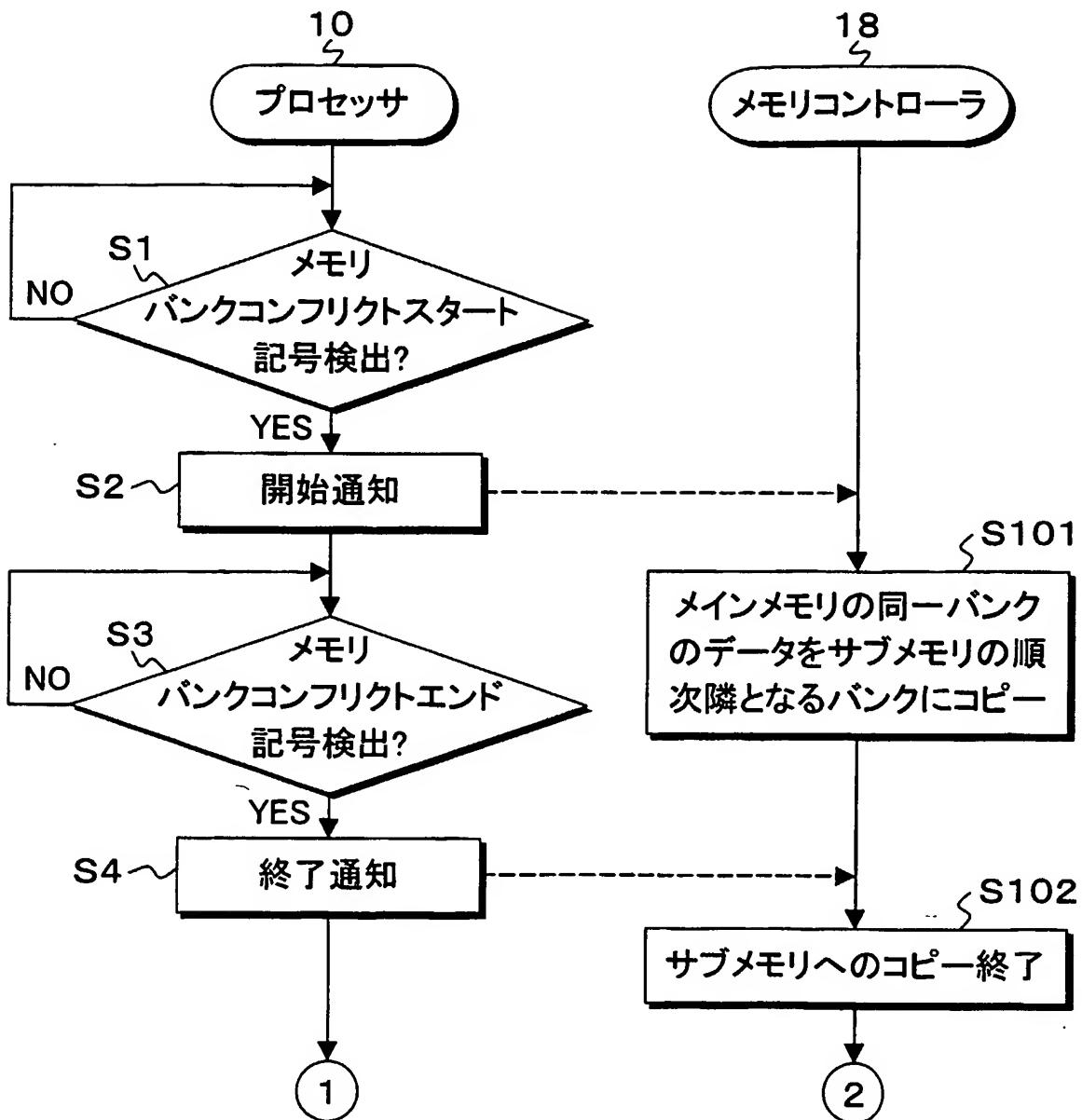
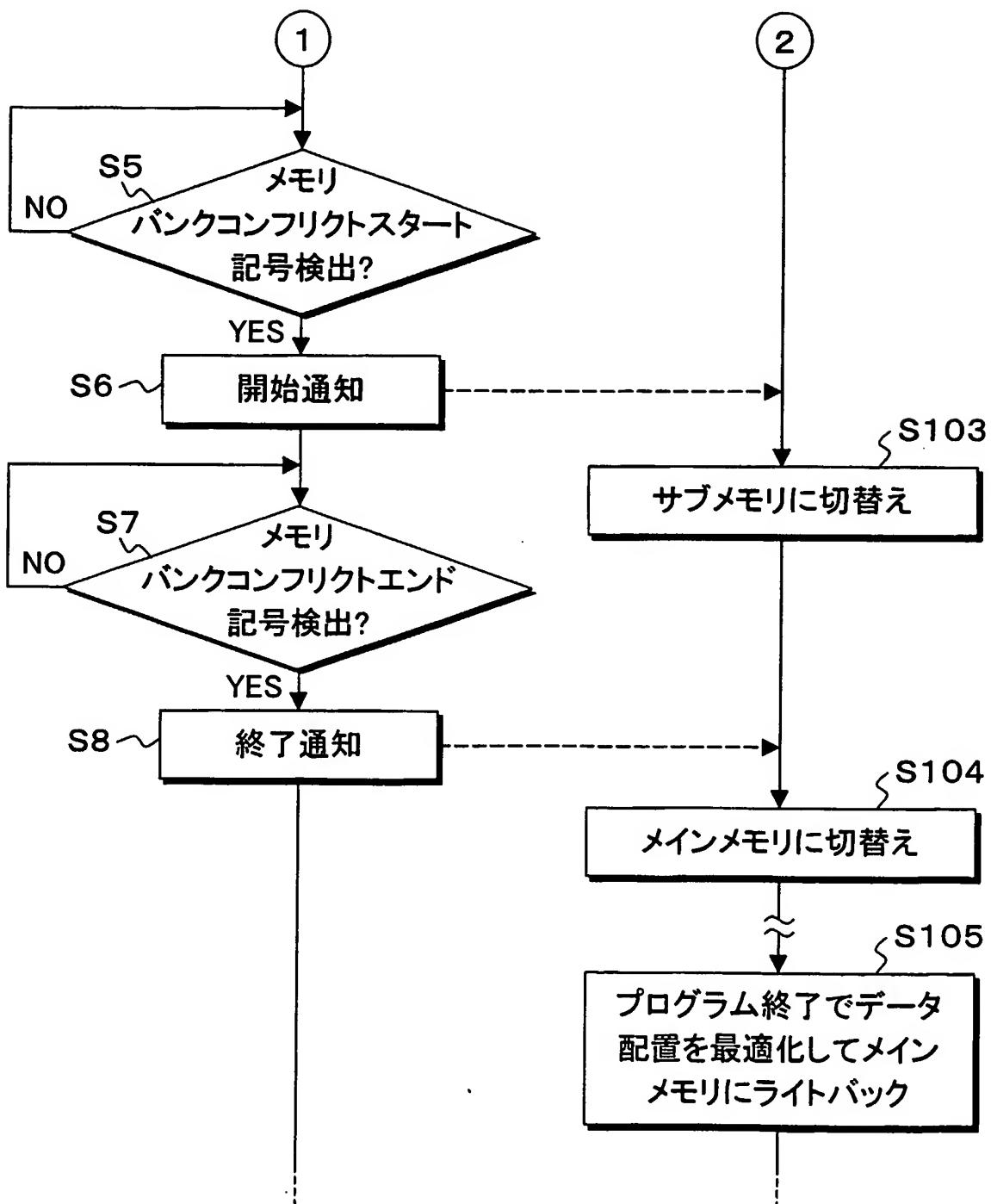


図32



A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl' G06F12/06, 12/08, 9/45

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl' G06F12/06, 12/08, 9/45, 17/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-293135 A (Yokogawa Hewlett Packard Ltd.), 16 October, 1992 (16.10.1992), Full text; all drawings & DE 4206286 A1 & US 5497478 A	1-16
A	JP 62-120552 A (Fujitsu Limited), 01 June, 1987 (01.06.1987), Full text; all drawings (Family: none)	1-16
A	WO 98/18084 A1 (Fujitsu Limited), 30 April, 1998 (30.04.1998), Full text; all drawings & JP 10-177566 A & EP 869442 A1	1-16
A	JP 59-188762 A (Mitsubishi Electric Corporation), 26 October, 1984 (26.10.1984), Claims (Family: none)	1-16

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
08 February, 2002 (08.02.02)

Date of mailing of the international search report
19 February, 2002 (19.02.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ' G 06 F 12/06, 12/08, 9/45

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ' G 06 F 12/06, 12/08, 9/45, 17/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2002年

日本国実用新案登録公報 1996-2002年

日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 4-293135 A(横河・ヒューレット・パッカード株式会社) 1992.10.16 全文, 全図 & DE 4206286 A1 & US 5497478 A	1-16
A	JP 62-120552 A(富士通株式会社) 1987.06.01 全文, 全図 (ファミリーなし)	1-16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

08.02.02

国際調査報告の発送日

19.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 実

5 N 9367



電話番号 03-3581-1101 内線 3545

C(続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	WO 98/18084 A1(富士通株式会社) 1998. 04. 30 全文, 全図 & JP 10-177566 A & EP 869442 A1	1-16
A	JP 59-188762 A(三菱電機株式会社) 1984. 10. 26 特許請求の範囲 (ファミリーなし)	1-16